

JS8E390

内置 EEPROM
100K 接收器 SoC
用户数据手册

修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	

声明:

- 本资料内容，随产品的改进，会进行相应更新，恕不另行通知。使用本资料前请咨询我司销售人员，以保证本资料内容为最新版本。
- 请在本资料所记载的极限范围内使用本产品，因使用不当造成的损失，我司不承担其责任。
- 尽管本公司一向致力于提高产品质量与可靠性，但是半导体产品本身有一定的概率发生故障或错误工作，为防止因此类事故而造成的人身伤害或财产损失，请在使用过程中充分留心安全设计。
- 将本产品或者本资料出口海外时，应当遵守适用的进出口管制法律法规。
- 未经本公司许可，严禁以任何形式复制或转载本资料的部分或全部内容。
- 本资料测试数据仅供参考，实际数据以目标样机测试为准。

目录

JS8E390	1
修改记录说明.....	2
1 芯片简介.....	4
1.1 功能特性.....	4
2 引脚说明.....	5
2.1 引脚排列.....	5
2.2 引脚说明.....	5
3 存储器结构.....	7
3.1 程序存储器结构.....	7
3.2 数据存储区结构.....	7
3.3 BANK0 页面存储器.....	9
3.4 BANK1 页面寄存器详解.....	16
3.5 BANK2 页面寄存器详解.....	20
3.6 IOC0 页面寄存器详解.....	23
3.7 IOC1 页面寄存器详解.....	27
4 JS8002 主要功能模块.....	30
4.1 I/O 功能.....	30
4.2 TCC/WDT&预分频器.....	30
4.3 PWM 功能.....	30
4.4 ADC 功能.....	32
4.5 LVD（低压检测）功能.....	35
4.6 睡眠与唤醒.....	35
4.7 中断功能.....	38
4.8 复位功能.....	40
4.9 时钟模块.....	45
4.10 代码选项寄存器.....	45
5 合封信息.....	47
5.1 概述.....	47
5.2 EEPROM、MCU、RF 管脚连接示意图.....	47
5.3 使用注意.....	47
6 参考电路.....	48
7 极限参数.....	49
8 DC 电气特性.....	50
9 封装信息.....	51
SOP16.....	51

1 芯片简介

1.1 功能特性

CPU 配置

- 2K×16-Bit OTP ROM
- 80×8-Bit SRAM
- 8 级堆栈空间
- 工作电流小于 1.5 mA (4MHz/5V)
- 休眠电流小于 2 μA (睡眠模式)

I/O 配置

- 外部 10 个可编程上拉 I/O 引脚
- 外部 10 个可编程下拉 I/O 引脚
- 外部 7 个可编程高灌电流 I/O 引脚
- 外部 9 个开漏输出 I/O 引脚
- 外部中断:P60
- 可配置上下拉和输出
- 唤醒端口:P5 口

工作频率范围

- 内部 RC 选择:
16MHz、8MHz、4MHz、1MHz
- 指令周期长度选择:
2/4/8/16 振荡周期

低压检测

- 4.5V ● 4.0V
- 3.3V ● 2.2V

低压复位

- 4V ● 3.5V
- 2.7V ● 1.8V
- 1.6V

中断源

- TCC 溢出中断
- 外部中断
- ADC 转换完成中断
- PWM1-3 周期中断
- PWM1-3 占空比中断
- P 5 输入端口状态改变中断
- LVD 中断

内置 EEPROM

- EEPROM 型号: 24C02
- EEPROM 地址: 000H

工作电压

- 工作电压范围:
2.8V~5.5V (-40℃~85℃)

外围模块

- 可编程 WDT 预分频器
- 可编程 WDT 时间 4.5ms、18ms
- 2 路共周期 8Bit PWM
- 8Bit 定时器/计数器 (TCC)

射频特性

- 工作频率: 300 - 480MHz
- 调制方式: OOK 解调
- 数据率: 1 - 5Kbps
- 灵敏度: -108dBm
- 接收器带宽: 500KHz/340KHz
- 镜像抑制比: 30dB
- 最大可输入信号: 10dBm
- 低功耗: 5.5mA @ 3.3V 315MHz

应用领域

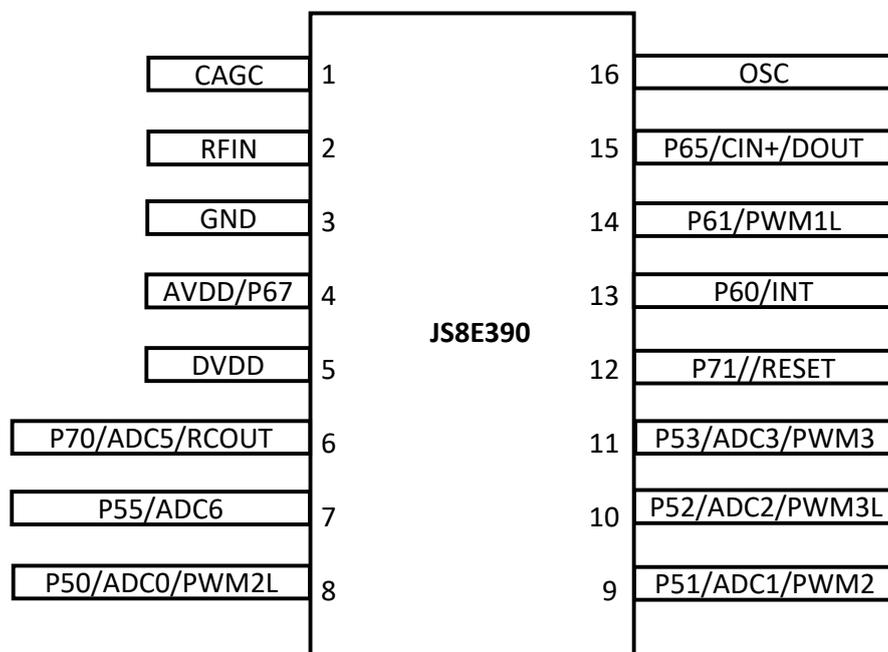
- 无线报警和安全系统
- 遥控门禁系统(RKE)
- 家庭和楼宇自动控制
- 无线照明控制系统

封装类型

- SOP16

2 引脚说明

2.1 引脚排列



2.2 引脚说明

序号	管脚名	I/O	功能描述
Pin1	CAGC	I	自动增益控制管脚，外接滤波电容
Pin2	RFIN	I	射频信号输入，需外接匹配网络到天线
Pin3	GND	I	地输入
Pin4	P67/AVDD	I/O	RF 供电端口，需配置强驱输出, 不能作为普通 I/O 口
Pin5	DVDD	I	外部电源输入
Pin6	P70	I/O	通用 I/O 口
	ADC5	I (AN)	ADC INPUT 5
	RCOUT	O	RC 振荡器输出口
Pin7	P55	I/O (上/下拉)	通用 I/O 口
	ADC6	I (AN)	ADC INPUT 6

Pin8	P50	I/O (上/下拉)	通用 I/O 口
	ADC0	I (AN)	ADC INPUT 0
	PWM2L	0	PWM2L 输出
Pin9	P51	I/O (上/下拉)	通用 I/O 口
	ADC1	I (AN)	ADC INPUT 1
	PWM2	0	PWM2 输出
Pin10	P52	I/O (上/下拉)	通用 I/O 口
	ADC2	I (AN)	ADC INPUT 2
	PWM3L	0	PWM3L 输出
Pin11	P53	I/O (上/下拉)	通用 I/O 口
	ADC3	I (AN)	ADC INPUT 3
	PWM3	0	PWM3 输出
Pin12	P71	I/O	通用 I/O 口
	/RESET	I (SMT)	复位脚
Pin13	P60	I/O (上拉)	通用 I/O 口
	INT	I (SMT)	外部中断输入端口
Pin14	P61	I/O (上拉)	通用 I/O 口
	PWM1L	0	PWM1L 输出口
Pin15	P65	I/O(上拉)	通用 I/O 口
	DOUT	0	RF 信号解调后, 数据输出端口
Pin16	XOSC	I	晶体振荡器输入管脚, 外接晶体或者参考时钟: 13.52127 MHz (工作在 433.92MHz) 9.81563 MHz (工作在 315MHz)
内部引脚	P62	I/O (上拉)	需配置为内置上拉的 IO 引脚, 连接 EEPROM SDA
内部引脚	P63	I/O (上拉)	需配置为内置上拉的 IO 引脚, 连接 EEPROM SCL
内部引脚	P66	I/O (上拉)	连接 RF SHUT 引脚

3 存储器结构

3.1 程序存储器结构

JS8002 具有一个 11 位程序计数器，能寻址 $2K \times 16$ 位程序存储空间。复位向量是 000H，硬件中断向量如图



程序存储器结构

3.2 数据存储区结构

数据存储区分成 R 页面寄存器和 IOCX 页面寄存器。R 页面寄存器包括通用寄存器和特殊功能寄存器，特殊功能寄存器位于低地址单元 00H~0FH，通用寄存器地址范围为 10H~3FH。IOCX 页面寄存器只包括特殊功能寄存器，地址范围为 00H~0F

表1 数据存储区结构分布

地址	BANK0 页面寄存器	BANK1 页面寄存器	BANK2 页面寄存器	IOC0 页面寄存器	IOC1 页面寄存器
00	R0 (间接寻址寄存器)	保留	保留	保留	保留
01	R1 (TCC 计数器)	保留	保留	保留	保留
02	R2 (程序计数器)	保留	保留	SCT (控制寄存器)	保留
03	R3 (状态寄存器)	保留	保留	保留	保留
04	R4 (RAM 选择寄存器)	保留	保留	保留	保留
05	R5 (Port5)	R5 (TRBD 指令的表指向寄存器)	R5 (PWM DEAD TIME 控制寄存器)	IOC50 (P5 控制寄存器)	IOC51 (高灌电流控制寄存器 1)
06	R6 (Port6)	R6 (TRBD 指令的表指向寄存器)	R6 (TMR3 低位寄存器)	IOC60 (P6 控制寄存器)	IOC61 (高灌电流控制寄存器 2)
07	R7 (Port7)	R7 (PWM 控制寄存器)	R7 (TMR3 高位寄存器)	IOC70 (P7 控制寄存器)	IOC71 (高驱动电流控制寄存器 1)
08	R8 (ADC 输入选择寄存器)	R8 (定时器控制寄存器)	R8 (TMR3 控制寄存器)	IOC80 (比较器控制寄存器)	IOC81 (高驱动电流控制寄存器 2)
09	R9 (ADC 控制寄存器)	R9 (PWM1 时间周期)	R9 (PWM3 周期低位寄存器)	IOC90 (TMR1 寄存器)	保留
0A	RA (ADC 补偿校准寄存器)	RA (PWM2 时间周期)	RA (PWM3 周期高位寄存器)	IOCA0 (TMR2 寄存器)	保留
0B	RB (AD 转换值寄存器 AD11~AD4)	RB (PWM1 占空比周期)	RB (PWM3 占空低位寄存器)	IOCB0 (P5 下拉控制寄存器)	IOCB1 (P6 下拉控制寄存器)
0C	RC (AD 转换值寄存器)	RC (PWM2 占空比周期)	RC (PWM3 占空高位寄存器)	IOCC0 (P6 漏极开路控制寄存器)	IOCC1 (P5 开漏控制寄存器)
0D	RD (AD 转换值寄存器)	RD (CMP 基准选择及 IRC 校准位寄存器)	RD (PWM 特殊功能控制寄存器)	IOCD0 (P5 上拉控制寄存器)	IOCD1 (P7 上拉控制寄存器)
0E	RE (中断状态 2 及唤醒控制寄存器)	RE (LVD 中断及唤醒寄存器)	RE (PWM3 中断使能控制寄存器)	IOCE0 (WDT 控制寄存器及中断屏蔽寄存器 2)	IOCE1 (P7 下拉控制寄存器)
0F	RF (中断状态寄存器)	RF (系统控制寄存器)	RF (PWM3 中断标志寄存器)	IOCF0 (中断屏蔽寄存器)	IOCF1 (P6 上拉控制寄存器)
10~1F	通用寄存器 16*8			--	--
20~3F	BANK0 32*8		BANK1 32*8	--	--

3.3 BANK0 页面存储器

3.3.1 R0 (IAR:间接地址寄存器)

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4 (RAM 选择寄存器) 低 6 位 RAMS[5:0] 所指向的数据。

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RIND[7:0]							

3.3.2 R1 (TCC:TCC 计数器)

RTC 是一个 8 bit 上行计数器，时钟源可选内部时钟/外部时钟，计数溢出可形成中断，RTC 可读可写。

RTC 可由 EXCK 引脚上的信号边沿或系统时钟振荡周期触发产生加 1 操作 (SCT. 5 位定义)。如果置一 PAB 位 (SCT. 3)，会有一个预分频器分配给 TCC。当有值被写入 RTC 寄存器，或者 SCT 寄存器的低四位发生改变时，预分频器的值会被清零。

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC[7:0]							

3.3.3 R2 (PC:程序计数器) 与堆栈

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在一个普通的 CPU 运行周期中，PC 将指令指针推进程序存储器，然后指针自增 1 以进入下一个周期。

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PC[7:0]							

堆栈是用于记录程序返回的指令指针。当调用子程序时，PC 将指令指针压栈。待执行返回指令时，堆栈将指令指针送回 PC，继续进行原来的进程。

- (1) 内置 8 级堆栈是 11 位元宽，用于 2K*16 bit ROM 的寻址，具体结构见下图；
- (2) 一般情况下，PC 自动加一；复位时，PC 的所有位都被清零；
- (3) 指令“JMP”允许直接载入低 10 位地址，因此，JMP 指令可以实现同一页面任意位置跳转；指令“LJMP”允许直接载入 11 位地址，因此 LJMP 可以实现 2K 地址内任意位置跳转；指令“JSR”载入低 10 位地址，同时将 PC+1 压栈，子程序入口地址只要在同一页面内就能够被准确定位；指令“LJSR”载入 11 位地址，同时将 PC+1 压栈，子程序入口地址在 2K 地址内就能够被准确定位；
- (4) 指令 PAGE K 用来设置 RCFG. 5，用来决定 JMP, JSR 指令跳转的页面 (K=0 为 0-1K, K=1 为 1-2K)。
- (5) 除 LJSR 及 LJMP 指令需要两个指令周期，其它指令均是单周期指令；
- (6) “ADD R2, A”对 PC 值进行改写的时会相应影响 PC 高位 (A10、A9、A8 相应增加)，其他指令 (如“STR R2”，“SET R2, 6”等) 对 PC 值进行改写时 PC 高位将保持不变；
- (7) 执行“RTS” (“RTSA k”，“RTI”) 指令时将栈顶数据送到 PC，其中 RTI 指令最好在中断子程序中使用，因为如果没有进过中断的话，执行 RTI 指令时 R4, R3, ACC 的值会出错；
- (8) 发生中断时，程序计数器的值将指向相应中断入口地址。



图1 程序计数器与堆栈结构图

3.3.4 R3 (STATUS: 状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	IOCS	ROMBKSEL	T	P	Z	DC	C
<p>Bit7 RST: 复位类型标志位:</p> <p>1: 睡眠状态唤醒, 包括 P5 口输入状态改变唤醒, 比较器输出状态变化唤醒, AD 转换完成唤醒, 低压检测唤醒, 外部中断唤醒;</p> <p>0: 其它复位类型;</p> <p>Bit6 IOCS: 控制寄存器页面选择位:</p> <p>1: 选择 IOC51~IOCF1;</p> <p>0: 选择 IOC50~IOCF0;</p> <p>Bit5 ROMBKSEL: ROM 页面选择位:</p> <p>1: 选择 1~2K;</p> <p>0: 选择 0~1K;</p> <p>Bit4 T: 暂停标志位:</p> <p>1: 执行 “SLEEP” 和 “CWDT” 指令或低压复位;</p> <p>0: WDT 溢出;</p> <p>Bit3 P: 掉电标志位:</p> <p>1: 上电复位或执行 “CWDT” 指令;</p>							

0: 执行 “SLEEP” 指令;

下表列出了 RST、T 和 P 的值，用于检测控制器是怎样唤醒 (*P: 复位前状态):

复位类型	RST	T	P
上电	0	1	1
运行模式期间的/RESET	1	*P	*P
睡眠模式期间的/RESET	0	1	0
系统工作时低电压复位	0	*P	*P
系统睡眠时低电压复位	0	1	0
运行模式期间的 WDT 溢出	0	0	1
睡眠模式期间的 WDT 溢出	0	0	0
睡眠模式期间的引脚改变 唤醒	1	1	0

下表列出可能影响 RST, T 和 P 值的事件

事件	RST	T	P
上电	0	1	1
CWDT 指令	*P	1	1
WDT 溢出	0	0	*P
SLEEP 指令	*P	1	0
睡眠模式期间的引脚改变 唤醒	1	1	0

Bit2 Z: 零标志位:

- 1: 当算术或者逻辑运算结果为 0;
- 0: 当算术或者逻辑运算结果不为 0;

Bit1 DC: 辅助进位标志:

- 1: 执行加法运算时，低四位有进位产生; /执行减法运算时，低四位没有产生借位;
- 0: 执行加法运算时，低四位没有进位产生; /执行减法运算时，低四位产生借位;

Bit0 C: 进位标志:

- 1: 执行加法运算时，高四位有进位产生; /执行减法运算时，高四位没有产生借位;
- 0: 执行加法运算时，高四位没有进位产生; /执行减法运算时，高四位产生借位;

3.3.5 R4 (RSR:RAM 选择寄存器)

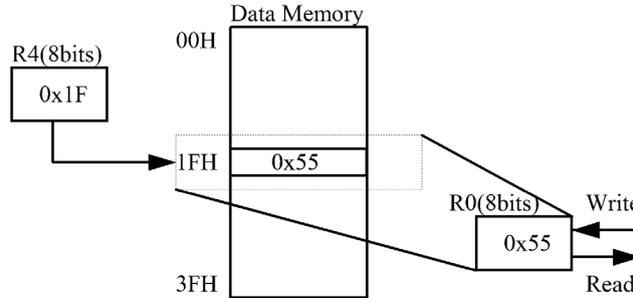
Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBANK	BANK	RAMS[5:0]					
Bit7 SBANK: 特殊寄存器 (05H~0FH) 页面选择位: 配合 SBANK_OPT (OPTION 选项) 及 ROMBKSEL (RCFG[5]) 使用。							
(!SBANK_OPT)&ROMBKSEL		SBANK	寄存器页面				
0		0	BK0				
0		1	BK1				
1		0	BK2				
注: 使用 JMP/JSR 之前要注意 R3[5] 的赋值:							
Bit6 BANK: 普通寄存器页面选择位:							

1: 选择 BANK1;

0: 选择 BANK0;

Bit[5: 0] RAMS[5:0]: 配合 R0 实现间接寻址（寻址范围 00H~0FH, 10H~3FH）。

R4 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 R4，然后通过访问间接寻址寄存器 R0，此时地址将指向 R4 中对应地址的寄存器。示意图如下



3.3.6 R5 (P5:端口 5)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	P55	--	P53	P52	P51	P50

端口 5 的输入/输出寄存器，JS8E002 P5 端口为 8 位。
P5 寄存器可读可写。

3.3.7 R6 (P6:端口 6)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	--	P63	P62	P61	P60

端口 6 的输入/输出寄存器，JS8E002 P6 端口为 8 位。
P6 寄存器可读可写。

3.3.8 R7 (P7:端口 7)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	P71	P70

端口 7 的输入/输出寄存器，JS8E002 P7 端口为 2 位。
P7 寄存器可读可写。

3.3.9 R8 (AISR:ADC 输入选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

Bit 7 未使用

Bit 6 ADE6: 使能 P55 口作为 AD 转换
1: 使能 ADC6, P55 作为模拟输入引脚
0: 禁止 ADC6, P55 作为 I/O 口

Bit 5 ADE5: 使能 P70 口作为 AD 转换
1: 使能 ADC5, P70 作为模拟输入引脚

- 0: 禁止 ADC5, P70 作为 I/O 口
- Bit 4 ADE4: 使能 P67 口作为 AD 转换
 - 1: 使能 ADC4, P67 作为模拟输入引脚
 - 0: 禁止 ADC4, P67 作为 I/O 口
- Bit 3 ADE3: 使能 P53 口作为 AD 转换
 - 1: 使能 ADC3, P53 作为模拟输入引脚
 - 0: 禁止 ADC3, P53 作为 I/O 口
- Bit 2 ADE2: 使能 P52 口作为 AD 转换
 - 1: 使能 ADC2, P52 作为模拟输入引脚
 - 0: 禁止 ADC2, P52 作为 I/O 口
- Bit 1 ADE1: 使能 P51 口作为 AD 转换
 - 1: 使能 ADC1, P51 作为模拟输入引脚
 - 0: 禁止 ADC1, P51 作为 I/O 口
- Bit 0 ADE0: 使能 P50 口作为 AD 转换
 - 1: 使能 ADC0, P50 作为模拟输入引脚
 - 0: 禁止 ADC0, P50 作为 I/O 口

3.3.10 R9 (ADCON:ADC 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0
Bit 7 VREFS: ADC 的 Vref 输入源 1: ADC 的 Vref 连接到 P54/TCC/VREF 0: ADC 的 Vref 连接到 Vdd (默认), P54/TCC/VREF 引脚作为 P54 Bit [6:5] CKR1 ~ CKR0: ADC 振荡时钟分频比							
CPUS	CKR1:CKR0	AD 运行频率	MCU 最大运行频率 VDD=2.5V~3.0V	MCU 最大运行频率 VDD=3.0V~5.5V			
1	00	Fosc/16	4 MHz	16 MHz			
1	01	Fosc/4	1 MHz	4 MHz			
1	10	Fosc/64	16 MHz	--			
1	11	Fosc	--	1 MHz			
0	XX	Fosc	内部低速 RC (128KHz)				
Bit 4 ADRUN: ADC 开始运行 1: AD 转换开始。此位可以由软件置位 0: 转换完成后自动清“0”，此位不能通过软件清“0” Bit 3 ADPD: AD 的电源 1: ADC 电源打开 0: ADC 电源关闭 Bit [2:0] ADIS2 ~ ADIS0: ADC 模拟输入通道的选择 (配合 BANK0 RA Bit0:ADICS)							
ADICS	ADIS2	ADIS1	ADIS0	选择通道			
0	0	0	0	ADIN0/P50			
0	0	0	1	ADIN1/P51			
0	0	1	0	ADIN2/P52			
0	0	1	1	ADIN3/P53			
0	1	0	0	ADIN4/P67			
0	1	0	1	ADIN5/P70			

	0	1	1	0	ADIN6/P55
	0	1	1	1	未使用
	1	0	X	X	OPOUT
	1	1	X	X	0.25*VDD

3.3.11 RA (ADOC:ADC 补偿校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																																																			
CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS																																																			
<p>Bit 7 CALI: AD 精度校正使能位 1: 使能校正 0: 禁止校正</p> <p>Bit 6 SIGN: 校正电压的极性 1: 正极性 0: 负极性</p> <p>Bit [5:3] VOF[2]~VOF[0]: 补偿电压位</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>VOF[2]</th> <th>VOF[1]</th> <th>VOF[0]</th> <th>/LSB</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>7</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>9</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>11</td></tr> <tr><td>1</td><td></td><td></td><td>13</td></tr> </tbody> </table> <p>Bit [2:1] VREF1~VREF0: ADC 内部基准电压</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>VREF1</th> <th>VREF0</th> <th>内部基准电压/V</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>VDD</td></tr> <tr><td>0</td><td>1</td><td>4 ± 1%</td></tr> <tr><td>1</td><td>0</td><td>3 ± 1%</td></tr> <tr><td>1</td><td>1</td><td>2 ± 1%</td></tr> </tbody> </table> <p>Bit 0 ADICS: ADC 输入通道选择 (配合 ADIS[2:0]选择运放输出或 0.25*VDD): 0: 禁止 1: 使能</p>								VOF[2]	VOF[1]	VOF[0]	/LSB	0	0	0	0	0	0	1	1	0	1	0	3	0	1	1	5	1	0	0	7	1	0	1	9	1	1	0	11	1			13	VREF1	VREF0	内部基准电压/V	0	0	VDD	0	1	4 ± 1%	1	0	3 ± 1%	1	1	2 ± 1%
VOF[2]	VOF[1]	VOF[0]	/LSB																																																							
0	0	0	0																																																							
0	0	1	1																																																							
0	1	0	3																																																							
0	1	1	5																																																							
1	0	0	7																																																							
1	0	1	9																																																							
1	1	0	11																																																							
1			13																																																							
VREF1	VREF0	内部基准电压/V																																																								
0	0	VDD																																																								
0	1	4 ± 1%																																																								
1	0	3 ± 1%																																																								
1	1	2 ± 1%																																																								

3.3.12 RB (ADDATA:ADC 转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4
Bit[7:0] AD[11:4]: ADC 的转换值高 8 位							

3.3.13 RC (ADDATA1H:ADC 转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-------	-------	-------	-------	-------	-------	-------	-------

0	0	0	0	AD11	AD10	AD9	AD8
Bit[7:4] 未使用，保持为 0 Bit[3:0] AD[11:8]: ADC 的转换值高 4 位							

3.3.14 RD (ADDATA1L:ADC 转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
Bit[7:0] AD[7:0]: ADC 的转换值低 8 位							

3.3.15 RE (ISR1:中断状态 1 及唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/LVD	LVDIF	ADIF	CMPIF	ADWE	CMPWE	ICWE	LVDWE
<p>Bit7 /LVD: 低电压侦测器状态位，该位为只读位。当 VDD 引脚电压小于 LVD 中断电平（通过 LVD1 和 LVD0 位来选择）时，该位被清零。</p> <ul style="list-style-type: none"> 1: 未检测到低电压或 LVD 功能禁止（默认） 0: 检测到低电压 <p>Bit6 LVDIF: LVD 状态变化中断标志位</p> <ul style="list-style-type: none"> 1: 有中断形成 0: 没有中断 <p>Bit5 ADIF: AD 转换完成中断标志位</p> <ul style="list-style-type: none"> 1: 有中断形成 0: 没有中断 <p>Bit4 CMPIF: 比较器状态变化中断标志位</p> <ul style="list-style-type: none"> 1: 有中断形成 0: 没有中断 <p>Bit 3 ADWE: ADC 唤醒使能位</p> <ul style="list-style-type: none"> 1: 使能 ADC 唤醒 0: 禁止 ADC 唤醒 <p>当 AD 转换进入休眠/空闲模式时，该位必须设为“使能”。</p> <p>Bit2 CMPWE: 比较器唤醒使能位</p> <ul style="list-style-type: none"> 1: 使能比较器唤醒 0: 禁止比较器唤醒（默认） <p>当比较器进入休眠/空闲模式时，该位必须设为“使能”。</p> <p>Bit 1 ICWE: P5 输入状态改变唤醒使能位</p> <ul style="list-style-type: none"> 1: 使能端口 P5 输入状态改变唤醒 0: 禁止端口 P5 输入状态改变唤醒（默认） <p>当 P5 状态改变用于唤醒休眠/空闲模式时，该位必须设为“使能”。</p> <p>Bit 0 LVDWE: 低电压侦测唤醒使能位</p> <ul style="list-style-type: none"> 1: 使能低电压侦测唤醒 0: 禁止低电压侦测唤醒（默认） <p>在低电压侦测运行情况下，当其用于进入中断或将 IC 由休眠/空闲模式唤醒时，LVDWE 位必须设为“使能”。</p>							

3.3.16 RF (ISR2:中断状态 2 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF
1: 有中断形成 0: 没有中断 Bit7 未使用 Bit6 DT2IF: PWM2 占空比中断标志位 Bit5 DT1IF: PWM1 占空比中断标志位 Bit4 PWM2IF: PWM2 周期中断标志位 Bit3 PWM1IF: PWM1 周期中断标志位 Bit2 EXIF: 外部中断标志位 Bit1 ICIF: P5 口输入状态变化中断标志位 Bit0 TCIF: TCC 计数溢出中断标志位							

3.3.17 R10~R3F 通用寄存器

8 位通用寄存器，可读可写。

3.4 BANK1 页面寄存器详解

3.4.1 R5 (TBHP:TRBD 指令的表指向寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	TAS	--	--	--	RBit10	RBit9	RBit8
Bit 7 MLB: 选择机械码的 MSB 或 LSB 值移到寄存器 机械码由 TBLP 与 TBHP 寄存器指向。 Bit6 TAS: 查表区域选择 1: OPTION 区 0: ROM 区 Bit [5:3]: 未使用，一直设为“0”。 Bit [2:0] RBit10~RBit8: 程序码的最高 3 个有效位地址。							

3.4.2 R6 (TBLP:TBRD 指令的表指向寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0
Bit [7:0] RBit7~RBit0: 程序码的最低 8 个有效位地址							

3.4.3 R7 (PWMCON:PWM 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMC0	PWM3CO	PWM2CO	PWM1CO	PWM3E	PWMCAS	PWM2E	PWM1E
Bit7 PWMC0: 此位使能后, bit6~bit4 设置才生效 1: 所有 PWM 互补输出使能 0: 所有 PWM 互补输出禁止 Bit6 PWM3CO: PWM3L 使能位 1: PWM3 互补输出使能, P52 作为 PWM3 互补输出 0: PWM3 互补输出禁止, P52 作为 GPIO Bit5 PWM2CO: PWM2L 使能位							

- 1: PWM2 互补输出使能, P50 作为 PWM2 互补输出
- 0: PWM2 互补输出禁止, P50 作为 GPIO
- Bit4 PWM1CO: PWM1L 使能位
 - 1: PWM1 互补输出使能, P61 作为 PWM1 互补输出
 - 0: PWM1 互补输出禁止, P61 作为 GPIO
- Bit3 PWM3E: PWM3 使能位
 - 1: PWM3 使能, P53 作为 PWM 输出
 - 0: PWM3 关闭, P53 作为 GPIO
- Bit2 PWMCAS: PWM1 与 PWM2 合并模式
 - 1: 16 位 PWM 模式 (两个 8 位 PWM 合并)
 - 0: 两个独立的 8 位 PWM (默认)
- Bit1 PWM2E: PWM2 使能位
 - 1: PWM2 打开, P51 作为 PWM 输出口
 - 0: PWM2 关闭, P51 作为 GPIO
- Bit0 PWM1E: PWM1 使能位
 - 1: PWM1 打开, P67 作为 PWM 输出口
 - 0: PWM1 关闭, P67 作为 GPIO

3.4.4 R8 (TMRCON: 定时器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
Bit7 T2EN: TMR2 使能位 1: TMR2 打开 0: TMR2 关闭 (默认值)							
Bit6 T1EN: TMR1 使能位 1: TMR1 打开 0: TMR1 关闭 (默认值)							
Bit[5:3] T2P2~T2P0: TMR2 预分频比设置位							
		T2P2	T2P1	T2P0	Timer2 分频		
		0	0	0	1:1		
		0	0	1	1:2		
		0	1	0	1:4		
		0	1	1	1:8		
		1	0	0	1:16		
		1	0	1	1:64		
		1	1	0	1:128		
		1	1	1	1:256		
Bit[2:0] T1P2~T1P0: TMR1 预分频比设置位							
		T1P2	T1P1	T1P0	Timer1 分频		
		0	0	0	1:1		
		0	0	1	1:2		
		0	1	1	1:4		
		0	1	1	1:8		
		1	0	0	1:16		

	1	0	1	1:64
	1	1	0	1:128
	1	1	1	1:256

3.4.5 R9 (PRD1:PWM1 时间周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1[7]	PRD1[6]	PRD1[5]	PRD1[4]	PRD1[3]	PRD1[2]	PRD1[1]	PRD1[0]
PRD1 的内容为 PWM1 的周期（时间基准）。PWM1 的频率为其周期的倒数							

3.4.6 RA (PRD2:PWM2 时间周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2[7]	PRD2[6]	PRD2[5]	PRD2[4]	PRD2[3]	PRD2[2]	PRD2[1]	PRD2[0]
PRD2 的内容为 PWM2 的周期（时间基准）。PWM2 的频率为其周期的倒数。							

3.4.7 RB (DT1:PWM1 占空比周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]
PWM1 一直输出高直到 PWM1 的值和 TMR1 的值相等为止。							

3.4.8 RC (DT2:PWM2 占空比周期)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]
PWM2 一直输出高直到 PWM2 的值和 TMR2 的值相等为止。							

3.4.9 RD (SFS:基准选择及 IRC 校准位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CIN_SEL_VREF	CIN_SEL_P65	INCAL[5:0]					
Bit[7:6]:保留 INCAL[5:0]: IRC 校正位软件设置							

3.4.10 RE (LVDIWR:LVD 中断和唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD1	LVD0	--	--	--	EXWE
Bit 7 LVDIE: 低压检测中断使能位 1: 使能低压检测中断 0: 禁止低压检测中断（默认） Bit 6 LVDEN: 低压检测使能位 1: 使能低压检测 0: 禁止低压检测（默认） Bit[5:4] LVD1~LVD0: 低压检测点选择位							
		LVD1	LVD0	低压检测点			
		0	0	4.5V			

0	1	4.0V
1	0	3.3V
1	1	2.2V

Bit[3:1] 未使用

Bit0 EXWE: 外部中断唤醒使能位

1: 使能外部中断唤醒

0: 禁止外部中断唤醒

3.4.11 RF (SCR:系统控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	TIMERSC	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0

Bit7 未使用

Bit6 TIMERSC: TCC/PWM1/PWM2 时钟源选择位

1: 主频作为时钟源

0: 副频作为时钟源

Bit 5 CPUS: CPU 振荡源选择位

1: Fm 主频 (默认)

0: Fs 副频 (WDT 内部 RC 时基 16kHz)

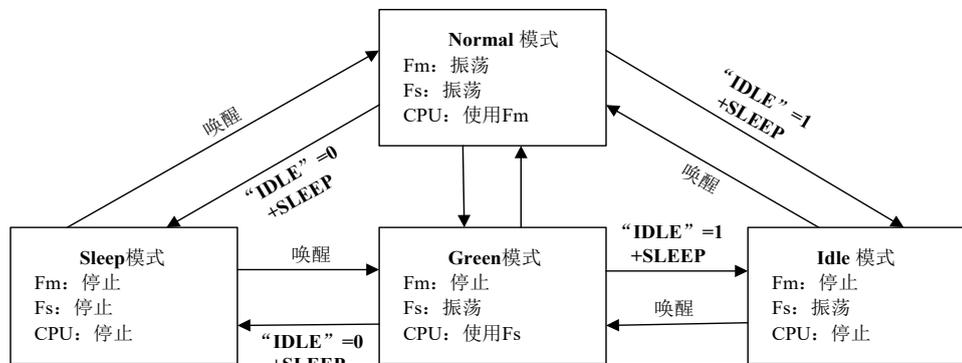
当 CPUS=0, CPU 振荡器选择副振荡器, 主振荡器停止。

Bit 4 IDLE: 空闲模式使能位

该位将决定执行 SLEP 指令后 CPU 将进入哪个工作模式

1: IDLE = '1' + SLEP 指令 → 空闲模式

0: IDLE = '0' + SLEP 指令 → 休眠模式 (默认)



Bit [3:2] SHS1 ~ SHS0: 选择 AD 采样和保持周期

SHS1	SHS0	AD 采样和保持周期
0	0	2
0	1	4
1	0	8
1	1	12 (默认)

Bit[1:0] RCM1~RCM0: IRC 模式选择位

RCM1	RCM0	频率 (MHz)
0	0	1

	0	1	8
	1	0	16
	1	1	4

3.5 BANK2 页面寄存器详解

3.5.1 R5 (PDTCON:PWM DEAD TIME 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DL_NU[3]	DL_NU[2]	DL_NU[1]	DL_NU[0]	DL_EN	--	DL_CS[1]	DL_CS[0]
Bit[7:4] DL_NU[3:0]: delay number							
delay number		delay cell/ns		SYSCK delay		SYSCK/2 delay	
				预分频=1:1	预分频]1:1		
0	1*3	$0.5 \times T_{osc}$	$1 \times T_{osc}$	$1 \times T_{osc}/2$			
1	2*3	$(1+0.5) \times T_{osc}$	$2 \times T_{osc}$	$2 \times T_{osc}/2$			
2	3*3	$(2+0.5) \times T_{osc}$	$3 \times T_{osc}$	$3 \times T_{osc}/2$			
3	4*3	$(3+0.5) \times T_{osc}$	$4 \times T_{osc}$	$4 \times T_{osc}/2$			
4	5*3	$(4+0.5) \times T_{osc}$	$5 \times T_{osc}$	$5 \times T_{osc}/2$			
5	6*3	$(5+0.5) \times T_{osc}$	$6 \times T_{osc}$	$6 \times T_{osc}/2$			
6	7*3	$(6+0.5) \times T_{osc}$	$7 \times T_{osc}$	$7 \times T_{osc}/2$			
7	8*3	$(7+0.5) \times T_{osc}$	$8 \times T_{osc}$	$8 \times T_{osc}/2$			
8	1*3	$(8+0.5) \times T_{osc}$	$9 \times T_{osc}$	$9 \times T_{osc}/2$			
9	2*3	$(9+0.5) \times T_{osc}$	$10 \times T_{osc}$	$10 \times T_{osc}/2$			
A	3*3	$(10+0.5) \times T_{osc}$	$11 \times T_{osc}$	$11 \times T_{osc}/2$			
B	4*3	$(11+0.5) \times T_{osc}$	$12 \times T_{osc}$	$12 \times T_{osc}/2$			
C	5*3	$(12+0.5) \times T_{osc}$	$13 \times T_{osc}$	$13 \times T_{osc}/2$			
D	6*3	$(13+0.5) \times T_{osc}$	$14 \times T_{osc}$	$14 \times T_{osc}/2$			
E	7*3	$(14+0.5) \times T_{osc}$	$15 \times T_{osc}$	$15 \times T_{osc}/2$			
F	8*3	$(15+0.5) \times T_{osc}$	$16 \times T_{osc}$	$16 \times T_{osc}/2$			

Bit3 DL_EN: 死区调节功能使能位
 1: 使能
 0: 禁止

Bit[1:0] DL_CS[1:0]: 延时单元选择位
 11: delay cell (3ns)

10: SYSCK/2 delay
 00: SYSCK delay

3.5.2 R6 (TMR3L:TMR3 低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3L[7]	TMR3L[6]	TMR3L[5]	TMR3L[4]	TMR3L[3]	TMR3L[2]	TMR3L[1]	TMR3L[0]
Bit[7:0] TMR3L[7:0]: TMR3 低 8 位							

3.5.3 R7 (TMR3H:TMR3 高位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3H[7]	TMR3H[6]	TMR3H[5]	TMR3H[4]	TMR3H[3]	TMR3H[2]	TMR3H[1]	TMR3H[0]
Bit[7:0] TMR3H[7:0]: TMR3 高 8 位							

3.5.4 R8 (TMR3CON:TMR3 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
--	--	--	PWMCAS	T3EN	T3P[2]	T3P[1]	T3P[0]		
Bit[7:5] 未使用 Bit4 PWMCAS: PWM3 模式选择位 1: 16_bit 0: 8_bit Bit3 T3EN: Timer3 使能控制位 1: 使能 0: 禁止 Bit[2:0] T3P[2:0]: PWM3 预分频比设置位									
		T3P[2:0]		Timer3 分频比		T3P[2:0]		Timer3 分频比	
		000		1:1		100		1:16	
		001		1:2		101		1:64	
		010		1:4		110		1:128	
		011		1:8		111		1:256	

3.5.5 R9 (PRD3L:PWM3 周期低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3L[7]	PRD3L[6]	PRD3L[5]	PRD3L[4]	PRD3L[3]	PRD3L[2]	PRD3L[1]	PRD3L[0]

Bit[7:0] PRD3L [7:0]: PWM3 周期低 8 位

3.5.6 RA (PRD3H:PWM3 高位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3H[7]	PRD3H[6]	PRD3H[5]	PRD3H[4]	PRD3H[3]	PRD3H[2]	PRD3H[1]	PRD3H[0]
Bit[7:0] PRD3H[7:0]: PWM 周期高 8 位							

3.5.7 RB (DT3L:PWM3 占空因数低 8 位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3L[7]	DT3L[6]	DT3L[5]	DT3L[4]	DT3L[3]	DT3L[2]	DT3L[1]	DT3L[0]
Bit[7:0] DT3L [7:0]: PWM3 占空因数低 8 位							

3.5.8 RC (DT3H:PWM3 占空因数高 8 位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3H[7]	DT3H[6]	DT3H[5]	DT3H[4]	DT3H[3]	DT3H[2]	DT3H[1]	DT3H[0]
Bit[7:0] DT3H[7:0]: PWM3 占空因数高 8 位							

3.5.9 RD (PSRCON:PWM3 特殊功能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INV1H	INV1L	INV2H	INV2L	INV3H	INV3L	--	PWMBRK
Bit[7] INV1H: PWM1 极性反转功能使能位 1: 使能 0: 禁止 Bit[6] INV1L: PWM1L 极性反转功能使能位 1: 使能 0: 禁止 Bit[5] INV2H: PWM2 极性反转功能使能位 1: 使能 0: 禁止 Bit[4] INV2L: PWM2L 极性反转功能使能位 1: 使能 0: 禁止 Bit[3] INV3H: PWM3 极性反转功能使能位 1: 使能 0: 禁止 Bit[2] INV3L: PWM3L 极性反转功能使能位 1: 使能 0: 禁止 Bit1 未使用 Bit0 PWMBRK: 外部中断切断 PWM 输出控制位 1: 外部中断将切断 PWM 输出 0: 外部中断不影响 PWM 输出							

3.5.10 RE (PIE3CON:PWM3 中断使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	PWM3IE	DT3IE
Bit[7:2] 未使用, 保持为“0” Bit1 PWM3IE: PWM3 周期中断使能控制信号 1: 使能 PWM3 周期中断 0: 禁止 PWM3 周期中断 Bit0 DT3IE: PWM3 占空中断使能控制信号 1: 使能 PWM3 占空中断 0: 禁止 PWM3 占空中断							

3.5.11 RF (PIF3:PWM3 中断标志寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	DT3IF	PWM3IF
Bit[7:2] 未使用, 保持为“0” Bit1 DT3IF: PWM3 占空中断标志位 1: 有中断形成 0: 没有中断 Bit0 PWM3IF: PWM3 周期中断标志位 1: 有中断形成 0: 没有中断							

3.6 IOC0 页面寄存器详解

3.6.1 ACC (累加器)

内部数据传输或指令操作数通常暂存于 ACC 中, ACC 是一个不可寻址的寄存器。

3.6.2 CONT (控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
Bit7 INTE: 外部中断信号沿选择位 1: 中断发生在外部中断信号的上升沿 0: 中断发生在外部中断信号的下降沿 Bit6 INT: 中断使能标志位 1: 由 DIT 指令或硬件中断屏蔽 0: 由 EIT 或 RTI 指令使能 Bit5 TS: TCC 时钟源选择控制位 1: 选择外部时钟 (此时 P54 作为 TCC 端口) 0: 选择内部系统时钟 Bit4 TE: 外部时钟触发沿选择控制位 1: 选择外部时钟的下降沿作为触发沿 0: 选择外部时钟的上升沿作为触发沿 Bit3 PSTE: 预分频器选择控制位							

1: TCC 预分频器使能
 0: TCC 预分频器禁止
 Bit[2:0] PST2~PST0: 分频系数选择控制位

PST2	PST1	PST0	TCC 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.6.3 IOC50 (P5CR:P5 输入/输出控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	P5C[5]	--	P5C[3]	P5C[2]	P5C[1]	P5C[0]
1: 对应端口设置为输入 0: 对应端口设置为输出							

3.6.4 IOC60 (P6CR:P6 输入/输出控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6C[7]	P6C[6]	P6C[5]	--	P6C[3]	P6C[2]	P6C[1]	P6C[0]
1: 对应端口设置为输入 0: 对应端口设置为输出							

3.6.5 IOC70 (P7CR:P7 输入/输出控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	P7C[1]	P7C[0]
0: 对应端口设置为输出 1: 对应端口设置为输入							

3.6.6 IOC80 (CCR:比较器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	CMPOUT	COS1	COS0	--	--	--
Bit[7:6] 未使用, 保持为“0” Bit5 CMPOUT: 存放比较器输出结果位, 只读 Bit[4:3] COS1-COS0: 选择比较器或运算放大器的控制位							
		COS1	COS0	功能描述			
		0	0	比较器和 OP 没有使用, P64, P65, P66 作为 IO 使用			
		0	1	使用比较器, P64 作为普通 IO 使用			
		1	0	使用比较器, P64 作为比较器的输出 (CO)			
		1	1	使用 OP, P64 作为 OP 的输出 (CO)			

Bit[2:0] 未使用，保持为“0”

3.6.7 IOC90 (TMR1:TMR1 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR1[7]	TMR1[6]	TMR1[5]	TMR1[4]	TMR1[3]	TMR1[2]	TMR1[1]	TMR1[0]
PWM1 定时器							

3.6.8 IOCA0 (TMR2:TMR2 寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2[7]	TMR2[6]	TMR2[5]	TMR2[4]	TMR2[3]	TMR2[2]	TMR2[1]	TMR2[0]
PWM2 定时器							

3.6.9 IOCB0 (P5PDCR:P5 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	/PD55	--	/PD53	/PD52	/PD51	/PD50
1: 对应端口下拉禁止 0: 对应端口下拉使能							

3.6.10 IOCC0 (P6ODCR:P6 漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD67	OD66	OD65	--	OD63	OD62	OD61	OD60
1: 对应端口漏极开路输出使能 0: 对应端口漏极开路输出禁止							

3.6.11 IOCD0 (P5PHCR:P5 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH57	/PH56	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50
1: 对应端口上拉禁止 0: 对应端口上拉使能							

3.6.12 IOCE0 (WDT CR:WDT 控制寄存器及中断屏蔽寄存器 2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0
Bit7 WDTE: WDT 使能控制位 1: WDT 使能							

- 0: WDT 禁用
- Bit6 EIS: P60 管脚 (EXINT) 功能控制位
 - 1: EXINT, 外部中断管脚
 - 0: P60, 双向 I/O 管脚
- Bit5 ADIE: AD 转换完成中断使能控制信号
 - 1: 使能
 - 0: 禁止
- Bit4 CMPIE: 比较器状态变化中断使能控制信号
 - 1: 使能
 - 0: 禁止
- Bit3 PSWE: 预分频器选择控制位
 - 1: WDT 预分频器使能
 - 0: WDT 预分频器关闭
- PSW[2:0]分频系数选择控制位

PSW2	PSW1	PSW0	WDT 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.6.13 IOCF0 (IMR:中断屏蔽寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE
Bit7	未使用						
Bit6	DT2IE: PWM2 占空比中断使能控制信号						
	1: PWM2 占空比中断使能						
	0: PWM2 占空比中断禁止						
Bit5	DT1IE: PWM1 占空比中断使能控制信号						
	1: PWM1 占空比中断使能						
	0: PWM1 占空比中断禁止						
Bit4	PWM2IE: PWM2 周期中断使能控制信号						
	1: PWM2 周期中断使能						
	0: PWM2 周期中断禁止						
Bit3	PWM1IE: PWM1 周期中断使能控制信号						
	1: PWM1 周期中断使能						
	0: PWM1 周期中断禁止						
Bit2	EXIE: 外部中断使能控制信号						
	1: 外部中断使能						
	0: 外部中断禁止						
Bit1	ICIE: P5 口输入状态变化中断使能控制信号						

- 1: P5 口输入状态变化中断使能
- 0: P5 口输入状态变化中断禁止
- Bit0 TCIE: TCC 计数溢出中断使能控制信号
- 1: TCC 计数溢出中断使能
- 0: TCC 计数溢出中断禁止

3.7 IOC1 页面寄存器详解

3.7.1 IOC51 (P5HSCR:P5 高灌电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	HS53	HS52	HS51	--
1: 对应端口输出时 HSink 电流控制使能 0: 对应端口输出时 HSink 电流控制禁止 Bit7 未使用, 一直设为"0" Bit6 未使用, 一直设为"0" Bit5 未使用, 一直设为"0" Bit4 未使用, 一直设为"0" Bit3 HS53: P53 输出高灌电流使能控制位 Bit2 HS52: P52 输出高灌电流使能控制位 Bit1 HS51: P51 输出高灌电流使能控制位 Bit0 未使用, 一直设为"0"							

3.7.2 IOC61 (P6HSCR:P6 高灌电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HS67	HS66	HS65	--	HS63	HS62	HS61	HS60
1: 对应端口输出时高灌电流控制使能 0: 对应端口输出时高灌电流控制禁止 Bit7 HS67: P67 输出高灌电流使能控制位 Bit6 HS66: P66 输出高灌电流使能控制位 Bit5 HS65: P65 输出高灌电流使能控制位 Bit4 未使用, 一直设为"0" Bit3 HS63: P63 输出高灌电流使能控制位 Bit2 HS62: P62 输出高灌电流使能控制位 Bit1 HS61: P61 输出高灌电流使能控制位 Bit0 HS60: P60 输出高灌电流使能控制位							

3.7.3 IOC71 (P5HDCR:P5 高驱动电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	HD53	HD52	HD51	-
1: 对应端口输出时 HDrive 电流控制使能 0: 对应端口输出时 HDrive 电流控制禁止 Bit7 未使用, 一直设为"0" Bit6 未使用, 一直设为"0"							

Bit5	未使用，一直设为” 0”
Bit4	未使用，一直设为” 0”
Bit3	HD53: P53 输出高驱动电流使能控制位
Bit2	HD52: P52 输出高驱动电流使能控制位
Bit1	HD51: P51 输出高驱动电流使能控制位
Bit0	未使用，一直设为” 0”

3.7.4 IOC81 (P6HDCR:高驱动电流控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HD67	HD66	HD65	--	HD63	HD62	HD61	HD60
1: 对应端口输出时 HDrive 电流控制使能 0: 对应端口输出时 HDrive 电流控制禁止 Bit7 HD67: P67 输出高驱动电流使能控制位 Bit6 HD66: P66 输出高驱动电流使能控制位 Bit5 HD65: P65 输出高驱动电流使能控制位 Bit4 未使用，一直设为” 0” Bit3 HD63: P63 输出高驱动电流使能控制位 Bit2 HD62: P62 输出高驱动电流使能控制位 Bit1 HD61: P61 输出高驱动电流使能控制位 Bit0 HD60: P60 输出高驱动电流使能控制位							

3.7.5 IOCB1 (P6PDCR:P6 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PD67	PD66	PD65	--	PD63	PD62	PD61	PD60
1: 对应端口上拉禁止 0: 对应端口上拉使能 Bit7 PD67: P67 端口下拉使能控制位 Bit6 PD66: P66 端口下拉使能控制位 Bit5 PD65: P65 端口下拉使能控制位 Bit4 未使用，一直设为” 0” Bit3 PD63: P63 端口下拉使能控制位 Bit2 PD62: P62 端口下拉使能控制位 Bit1 PD61: P61 端口下拉使能控制位 Bit0 PD60: P60 端口下拉使能控制位							

3.7.6 IOCC1 (P50DCR:P5 开漏控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	OD55	--	OD53	OD52	OD51	OD50
1: 对应端口开漏输出使能 0: 对应端口开漏输出禁止 Bit7 未使用，一直设为” 0” Bit6 未使用，一直设为” 0” Bit5 OD55: P55 端口开漏输出使能控制位 Bit4 未使用，一直设为” 0”							

Bit3 OD53: P53 端口开漏输出使能控制位
 Bit2 OD52: P52 端口开漏输出使能控制位
 Bit1 OD51: P51 端口开漏输出使能控制位
 Bit0 OD50: P50 端口开漏输出使能控制位

3.7.7 IOCD1 (P7PHCR:P7 上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	--	/PH70
1: 对应端口上拉禁止 0: 对应端口上拉使能 Bit[7:1] 未使用 Bit0 PH70: P70 端口上拉使能控制位							

3.7.8 IOCE1 (P7PDCR:下拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	--	PD70
1: 对应端口下拉禁止 0: 对应端口下拉使能 Bit[7:1] 未使用 Bit0 PD70: P70 端口下拉使能控制位							

3.7.9 IOCF1 (P6PHCR:P6 上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH67	/PH66	/PH65	--	/PH63	/PH62	/PH61	/PH60
1: 对应端口上拉关闭 0: 对应端口上拉打开 Bit7 /PH67: P67 端口上拉使能控制位 Bit6 /PH66: P66 端口上拉使能控制位 Bit5 /PH65: P65 端口上拉使能控制位 Bit4 未使用, 一直设为"0" Bit3 /PH63: P63 端口上拉使能控制位 Bit2 /PH62: P62 端口上拉使能控制位 Bit1 /PH61: P61 端口上拉使能控制位 Bit0 /PH60: P60 端口上拉使能控制位							

4 JS8002 主要功能模块

4.1 I/O 功能

JS8E002 有 3 组双向 I/O 端口，共 14 个输入，14 个输出，大部分 I/O 可以复用为其它功能。

13 个可编程上拉 I/O 引脚：P50-P53, P55, P60-P63, P65-P67, P70

12 个可编程漏极开路 I/O 引脚：P50-P53, P55, P60-P63, P65-P67

13 个可编程下拉 I/O 引脚：P50-P53, P55, P60-P63, P65-P67, P70

4.1.1 P5 口概述

P5 是一组 8-bit 位可编程 I/O 口，COMS 推挽输出，P5 所有输入配备上下拉，并提供开漏输出选择；除 P50/P55 外其他输出配备 H_Drive/H_Sink 电流控制。

当作为输入端口时，每个端口的状态变化既可以形成中断，也可以对系统进行唤醒。

4.1.2 P6 口概述

P6 口是一组 8-bit 位可编程 I/O 口，CMOS 推挽输出，P6 所有输入配备上下拉，并且提供开漏输出选择，所有端口配备 H_Drive/H_Sink 电流控制。

P60 口还可以作为外部中断的输入端口。

4.1.3 P7 口概述

P7 口有 2 个 I/O 口 P70-P71，P70 口配备上下拉，CMOS 推挽输出。P71 口为开漏输出，可以作为外部复位的输入端口。

4.2 TCC/WDT&预分频器

TCC (R1) 是一个 8-bit 上行计数器，只要有时钟就工作。时钟源既可以是内部系统时钟（上升沿触发），也可以选择外部时钟（由 TCC 引脚输入，触发沿可选），如果没有分频控制，每个时钟（ F_m/F_s ）周期（选择内部时钟）或每个外打时钟周期（外打时钟），计数器实现加 1。

系统提供一个 8-bit 计数器作为 TCC 的预分频器。可以通过 SCT 寄存器设置 TCC 预分频、触发沿、时钟等。

TCC 计数溢出可以形成中断信号，在 IDLE 模式下，TCC 中断可以唤醒电路。

WDT 是一个 12-bit 上行计数器，有两重使能控制信号控制（OPTION 中的 ENWDT 和 IOCE 寄存器中的 WDTE 控制位）。计数时钟由单独的振荡器提供，因此在系统进入到静态模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，复位时间由 OPTION 中的控制位 WDTPS 实现选择 4.5ms 或 18ms。

系统提供一个 8-bit 计数器作为 WDT 的分频器，通过 WDE 寄存器设置。

4.3 PWM 功能

4.3.1 功能概述

JS8E002 内置 3 个带预分频器的计数器，用来产生脉宽调制信号，其中 PWM1、PWM2 两个为 8-bit（可配置组合为 16-bit），PWM3 单独可配置为 8/16-bit。PWM 输出波形由周期及占空因数决定，传输速率为周期倒数。所有 PWM 输出带有可选互补输出及死区调节功能。

PWM 基本结构图如下：

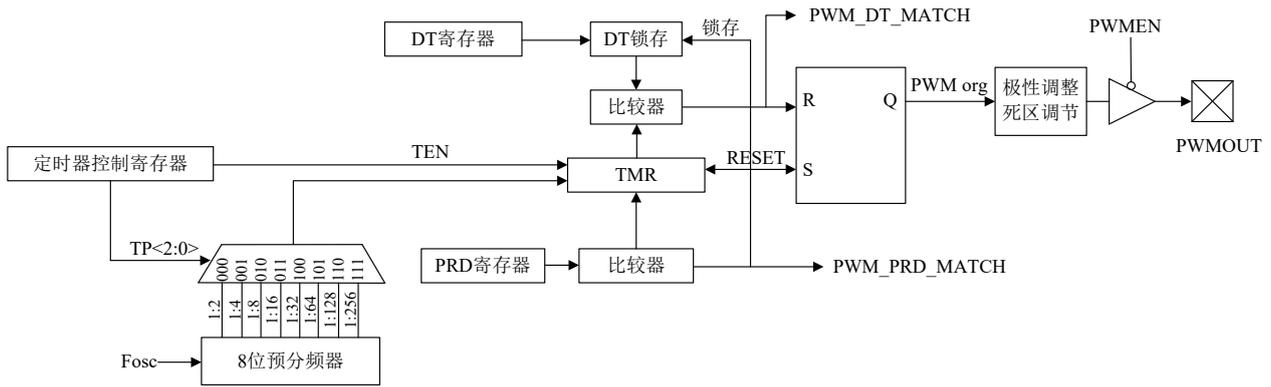


图2 PWM 功能图

两个 8-bit PWM 可以组合使用为 16-bit 的 PWM，此时中断及唤醒的信号均与单个 PWM1 相同，周期及占空因数的高低位则分别为 PWM2、PWM1 的设置。

PWM 功能简述：

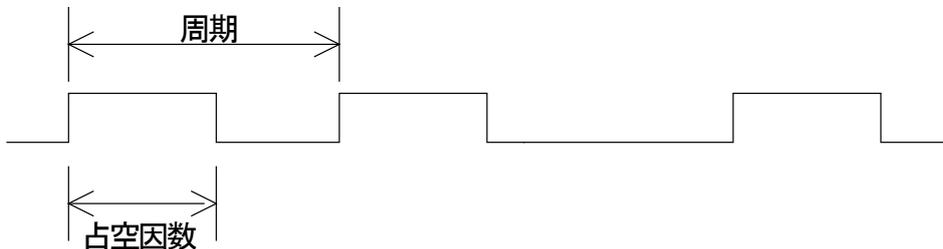
由 PWM 波形的构成，可知 PWM 的主要由三部分构成：

一个计数器，对应图中 TMR，用于记录 PWM 运行状态；

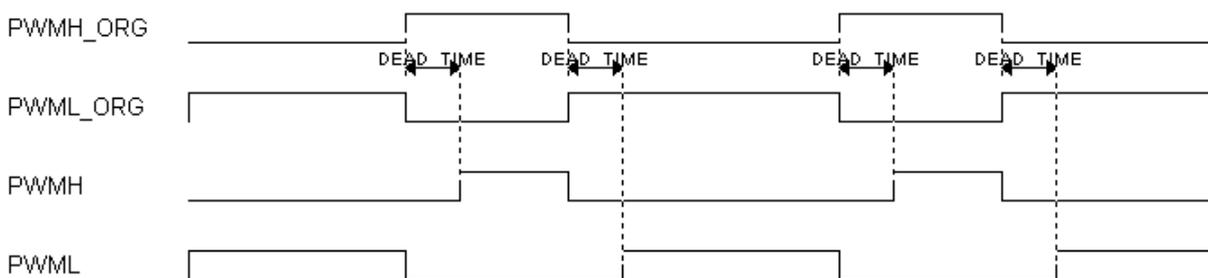
一个周期控制寄存器：对应图中 PRD，用于决定 PWM 周期；

一个占空因数控制寄存器：对应图中 DT，用于决定 PWM 占空因数。

当计数器计数到占空因数相等，输出波形将被置位低电平同时发出占空比中断请求，当计数器计数至于周期控制寄存器预设值相匹配时，输出波形被拉高，同时发出周期中断请求。其对应关系可由下图表示：



死区调节功能概述：



PWM 设置步骤：

- (1) 设置 PWMCON 和 TMRCON 寄存器，选择相应的定时器为 PWM 模式、定时器的分频比（先将 P5/P6 数据寄存器清零，避免出现毛刺）、定时器中断类型（若使能 PWM 中断）、定时器的时钟源等；
- (2) 写 PRDX (X=1/2/3) 寄存器的值，确定该 PWM 通道的周期 Period；
- (3) 写 DTX (X=1/2/3) 寄存器的值，确定该 PWM 通道的占空因数 Duty；
- (4) 使能相应定时器；
- (5) 使能或禁止 PWM 对应的定时器中断，并下“EIT”或“DIT”指令（如果需要）

- (6) PWMX (X=1/2/3) 周期中断和占空比中断的设置见 5.8.2 节。
 (7) 在 IDLE 模式下, PWMX (X=1/2/3) 周期中断和占空中断有电路唤醒功能, 见 5.7.1 节。

PWM 计算公式:

1) PWM 周期:

$$\text{Period} = (\text{PRDX}+1) \times (1/\text{Fosc}) \times (\text{TMRX prescale value})$$

其中: PRDX: 周期值; Fosc: 时钟源频率; TMRX prescale value: Timerx 预分频比
 例如: PRDX=249; Fosc=4MHz; TMRX=1:4; 则 $\text{Period} = (249+1) \times (1/4) \times 4 = 250\mu\text{s}$

2) PWM 占空比:

$$\text{Duty Cycle} = \text{DTX} \times (1/\text{Fosc}) \times (\text{TMRX prescale value})$$

其中: DTX: 占空因数设置值; Fosc: 时钟源频率; TMRX prescale value: Timerx 预分频比
 例如: DTX=50; Fosc=4MHz; TMRX=1:4; 则 $\text{Duty Cycle} = 50 \times (1/4) \times 4 = 50\mu\text{s}$

4.4 ADC 功能

4.4.1 功能概述

ADC 模块主要包含 8 个外部模拟信号输入通道, 2 个内部输入通道, 1 个外部参考电压输入通道, 3 个控制寄存器组 (AISR/ADCON/ADOC), 3 个数据寄存器组 (ADDATA/ADDATA1H/ADDATA1L) 以及一个 12bit 的逐次逼近 ADC。

ADC 模块利用逐次逼近的方式将一个未知的模拟信号转换为数值, 转换结果将写入 ADDATA、ADDTA1H 以及 ADDATA1L 寄存器。输入通道的选择由 ADCR 寄存器的低三位 ADIS[2:0] 决定。

这是一个 12-bit 的逐次逼近的模数转换模块 (SAR ADC)。有两个参考电压可供选择, 分别是内部参考电源电压以及外部输入参考电压 (通过 ADCR 寄存器 VREFS 及 ADOC 寄存器 VREF[1:0] 设置)。使用外部参考电压远比使用内部参考电源电压精度高。

ADC 功能框图如图 3 所示。

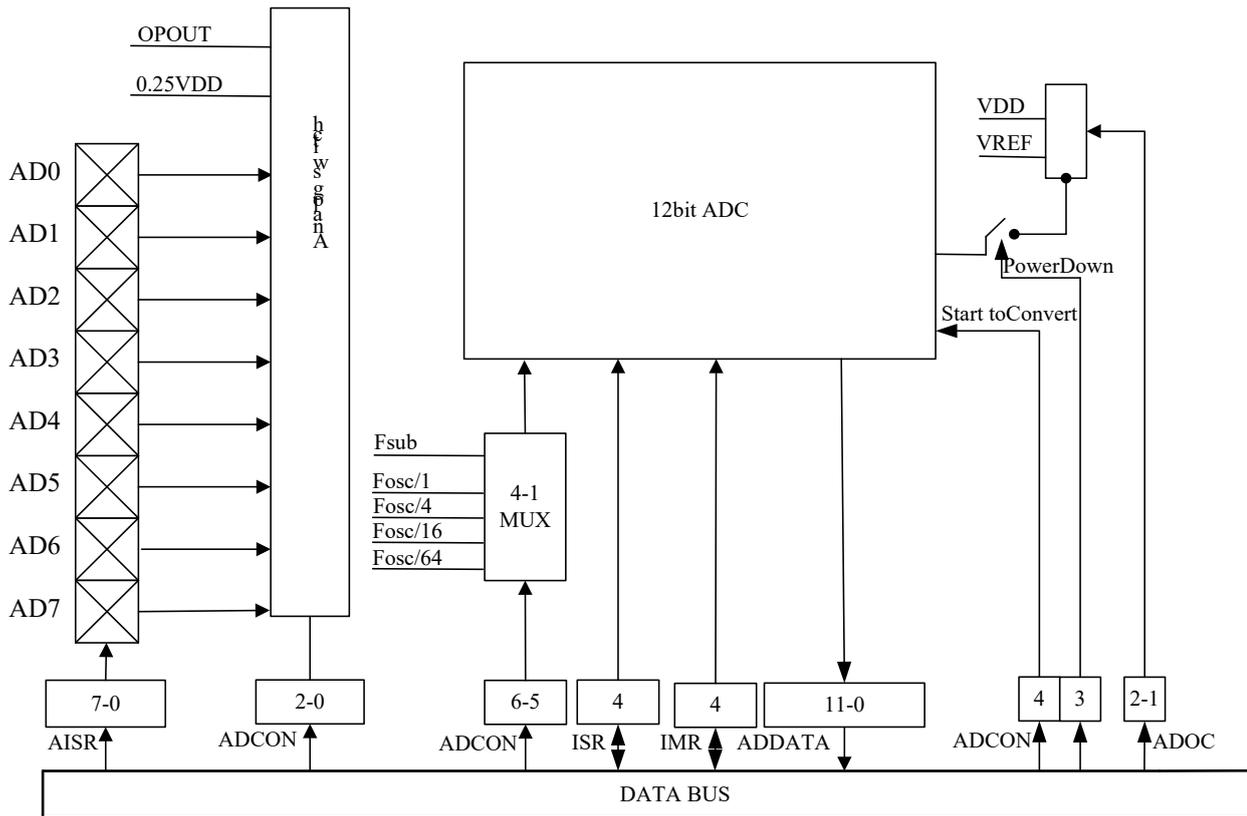


图3 ADC 功能图

4.4.2 ADC 功能应用说明

● ADC 采样时间

输入源阻抗及内部采样电路阻抗直接影响采样保持电容的充电需求时间。应用程序可以控制采样时间来满足特定的精度要求。建议模拟信号的最大输入阻抗不超过 10kΩ (VDD=5V)。在选择模拟输入通道后，AD 转换开始之前，采样时间必须被满足。

● AD 转换时间

CKR[1:0] 设定后能确定 TAD 进而确定 AD 转换的时间，这样可以允许 MCU 工作在最大频率下，同时尽可能不牺牲 AD 转换的精度。2.5V~3.0V 工作电压下，TAD 最低为 4μs，3.0V~5.5V 工作电压下，TAD 最低为 1μs。

整个转换时间=采样保持时间 (SHS[1:0] 设定) + 12*TAD (12*每个 bit 的转换时间) + ADRUN 位被置一到实际 AD 转换开始的延迟时间 (1*TAD)。

VDD=3V~5.5V (TAD=1μs)

系统工作模式	CKR[1:0]	ADC 工作频率	MCU 最高工作频率	转换时间 (SHS=11)
Normol Mode (CPUS=1)	00	Fosc/16	16M	25μs
	01	Fosc/4	4M	25μs
	10	Fosc/64	--	--
	11	Fosc/1	1M	25μs
Green Mode (CPUS=0)	xx	128K	128K	196μs

VDD=2.5V~3V (TAD=4μs)

系统工作模式	CKR[1:0]	ADC 工作频率	MCU 最高工作频率	转换时间 (SHS=11)
Normol Mode	00	Fosc/16	4M	100μs

(CPUS=1)	01	Fosc/4	1M	100μs
	10	Fosc/64	16M	100μs
	11	Fosc/1	--	--
Green Mode (CPUS=0)	xx	128K	128K	196μs

● 睡眠模式下 ADC 模块的工作：

为了获得更加精确的 ADC 转换值并且降低功耗，在睡眠模式下 ADC 模块仍然工作。如果在 AD 转换过程中执行 SLEEP 指令，所有系统动作均会停止，除了系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）。

AD 转换完成后：

- 1) ADCON (BANK0 R9) 寄存器的 ADRUN 位被清零；
- 2) ISR1 (BANK0 RE) 寄存器的 ADIF 位被置“1”（ADIE 设置为 1）；
- 3) 系统被唤醒（ISR1 寄存器的 ADWE 位设置为 1，且 WDT 关闭）；
- 4) 如果执行了 DIT 指令，唤醒后执行下一条指令；
- 5) 系统进入睡眠模式前，如果执行了 EIT 指令，并且 ADIE 设置为 1，唤醒后进入中断向量（地址为 0x00C）；
- 6) 系统没有睡眠，如果执行了 EIT 指令，并且 ADIE 设置为 1，AD 转换完成后也进入中断向量（地址为 0x00C）。

● ADC 转换设置步骤：

- 1) 通过 AISR (BANK0 R8) 寄存器的 ADE[7:0] 定义 P5 端口的端口特性（数字输入/出、模拟信号通道、参考电压通道）；
 - 2) 通过 ADCON (BANK0 R9) 寄存器设置 AD 工作模式：
 - (1) 通过 ADIS[2:0] 选择 ADC 输入通道；
 - (2) 通过 CKR[1:0] 定义 AD 转换时钟频率；
 - (3) 选择 ADC 参考电压；
 - (4) 通过将 ADPD 位置“1”让 ADC 模块开始工作；
 - 3) 如果需要 AD 转换完成唤醒功能，将 ADWE 位置“1”；
 - 4) 如果需要 AD 转换完成中断功能，将 ADIE 位置“1”；
 - 5) 如果需要 AD 转换完成中断功能，执行 EIT 指令；
 - 6) 将 ADRUN 位置“1”；
 - 7) 执行 SLEEP 指令或者查询特定位；
 - 8) 等待系统唤醒或者 ADRUN 位被清零、ADIF 位被置一或者 ADC 中断发生；
 - 9) 读取 ADDATA/ADDATA1H/ADDATA1L 寄存器数据，如果此时 ADC 输入通道改变，ADC 数据寄存器的值会被清零；
 - 10) 将 AD 转换完成中断标志位 ADIF 清零；
 - 11) 如果要进行下一次 AD 转换，重复以上步骤，至少要等待两个 TAD 再进行下一次 AD 转换；
- 注：为了获得更为精确的转换值，在转换期间，应当尽量避免 I/O 口上有数据传输。

● ADC 转换精度调整：

ADC 可以通过设置 ADOC 寄存器来校准以调整转换精度，一般可通过“0”输入转换结果来确定偏移量。确定偏移量之后，可通过 ADOC 寄存器 VOF[2:0] 设置补偿电压，SIGN 位设置正/负极性补偿，CALI 位校准使能。

4.5 LVD（低压检测）功能

LVD 低压检测电路检测电源电压与预设电压检测点的关系。

当使能 LVD 后，LVD 模块将根据预设电压检测点设置相应影响低压标志位 LVDIF，LVDIF=1 时，标志电源电压低于检测点，LVDIF=0 时，标志电源电压高于检测点。程序可检测 LVD 标志位判断电源的稳定性。

LVD 可形成中断，用户也可以利用 LVD 的中断功能监控电压的稳定性（当检测到低压时，触发中断）。

LVD 模块可在睡眠模式下工作，可充当系统唤醒源（当检测到低压时，触发唤醒）。

4.6 睡眠与唤醒

4.6.1 SLEEP 模式唤醒

执行 SLEEP 指令后，系统进入睡眠模式（IDLE=0），系统时钟停止，所有模块停止工作，WDT（若使能）除外。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）继续运行。

7 种唤醒方式：

- RESET 脚输入低电平；
- WDT 复位；
- P5 口输入状态改变；
- 比较器状态改变；
- AD 转换完成；
- LVD 低压检测；
- 外部中断引脚唤醒。

前两种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序；

后五种唤醒方式则保持了程序的延续性。可以通过程序选择继续原有的进程（SLEEP 前执行 DIT）或执行相应的跳转（SLEEP 前执行 EIT），并打开相应的使能控制位，跳转到中断向量的位置。

● 如果需要执行 LVD 低压检测的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1) 打开 LVD 软件使能（LVDEN=1）
- 2) 打开唤醒使能信号（LVDWE=1）
- 3) 关闭 WDT 软件使能（WDTE=0）
- 4) 进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 LVD 检测到低压信号，系统就可以被唤醒。唤醒后需要注意：

- 1) 如果睡眠前执行 EIT，并且打开 LVD 中断使能（LVDIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X21，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

● 如果需要执行比较器状态变化的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1) 打开比较器使能信号（COS[1:0]=10 或 01）
- 2) 打开唤醒使能信号（CMPWE=1）
- 3) 关闭 WDT 软件使能（WDTE=0）
- 4) 读当前比较器输出状态（MOVC CCR）
- 5) 进入睡眠模式（执行 SLEEP）

经过以上设置后，只要比较器状态发生变化，系统就可以被唤醒。唤醒后需要注意：

- 1) 如果睡眠前执行 EIT，并且打开比较器中断使能（CMPIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X0F，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程。

● 如果需要执行 AD 转换完成的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1) 运行 AD（配置 ADC 并开始转换）
- 2) 打开唤醒使能信号（ADWE=1）
- 3) 关闭 WDT 软件使能（WDTE=0）
- 4) 进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 AD 转换完成（16* T_{ad} ），系统就可以被唤醒。唤醒后需要注意：

- 1) 如果睡眠前执行 EIT，并且打开比较器中断使能（ADIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X0C，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

● 如果需要执行 P5 口输入状态改变的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1) 保证 P5 口是输入状态
- 2) 打开唤醒使能信号（ICWE=1）
- 3) 关闭 WDT 软件使能（WDTE=0）
- 4) 读 P5 口（MOVR P5）
- 5) 进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 P5 口的输入状态发生改变，系统就可以被唤醒。唤醒后需要注意：

- 1) 如果睡眠前执行的是 EIT，则唤醒前将 PC 压栈，唤醒后 PC 指向 0X06，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程。

● 如果需要执行外部中断的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1) 选择 P60 作为外部中断引脚（EIS=1）
- 2) 打开唤醒使能信号（EXWE=1）
- 3) 关闭 WDT 软件使能（WDTE=0）
- 4) 进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 P60 有上升/下降沿来临并且满足持续时间要求，系统就可以被唤醒。唤醒后需要注意：

- 1) 如果睡眠前执行 EIT，并且打开外部中断使能（EXIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X03，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程。

4.6.2 IDLE 模式唤醒

执行 SLEEP 指令后，系统进入 IDLE 模式（IDLE=1），系统主频时钟停止，副频时钟继续工作，WDT（若使能）继续工作。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）继续运行。

14 种唤醒方式：

在睡眠模式唤醒方式的基础上，增加了 7 种方式（新增的 7 种方式必须打开相应中断使能）：

- 1) TCC 溢出中断唤醒，

2) PWMX (X=1/2/3) 周期/占空比中断唤醒。

● 如果需要执行 TCC 溢出中断的唤醒方式，需要在进入 IDLE 模式前执行以下步骤：

- 1) 配置好 TCC 后，打开 TCC 溢出中断使能
- 2) 关闭 WDT 软件使能 (WDTE=0)
- 3) 进入 IDLE 模式 (IDLE=1, 执行 SLEEP)

经过以上设置后，只要 TCC 计数器溢出，系统就可以被唤醒。唤醒后需要注意：

- 1) 如果睡眠前执行 EIT，则唤醒前将 PC 压栈，唤醒后 PC 指向 0X09，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠没有打开全局中断使能，则唤醒后 PC 继续睡眠前的进程

● 如果需要执行 PWMX (X=1/2/3) 周期/占空比中断的唤醒方式，需要在进入 IDLE 模式前执行以下步骤：

- 1) 打开 PWMX 软件使能、PWMX 计数使能以及相关中断使能
- 2) 关闭 WDT 软件使能 (WDTE=0)
- 3) 进入 IDLE 模式 (IDLE=1, 执行 SLEEP)

经过以上设置后，只要 PWMX 上升沿 (周期中断) / 下降沿 (占空比中断) 到来，系统就可以被唤醒。

唤醒后需要注意：

- 1) 如果睡眠前执行 EIT，则唤醒前将 PC 压栈，唤醒后 PC 指向相应中断地址，待唤醒子程序执行完毕，继续原来的进程。
- 2) 如果睡眠没有打开全局中断使能，则唤醒后 PC 继续睡眠前的进程

表2 SLEEP/IDLE 模式下唤醒信号

唤醒信号	SLEEP 模式		IDLE 模式	
	EIT	DIT	EIT	DIT
/RESET 复位	唤醒+复位	唤醒+复位	唤醒+复位	唤醒+复位
WDT 溢出	唤醒+复位	唤醒+复位	唤醒+复位	唤醒+复位
P5 端口 输入状态改变	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
比较器中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
AD 转换完成	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
LVD 中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
外部中断	唤醒 +	唤醒 +	唤醒 +	唤醒 +

	中断→下一条指令	下一条指令	中断→下一条指令	下一条指令
TCC 中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
PWM1 周期/占空比中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
PWM2 周期/占空比中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
PWM3 周期/占空比中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令

唤醒时间：系统有多种时钟供选择，考虑时钟性能的差异，起振时间也不同，不同的时钟源，选择不同的唤醒时间，保证系统能够在唤醒后能够正常工作。

表3 唤醒建立时间比较

类型	IRC
CPUS=1	WKCK=1, 8 Fm WKCK=0, 32 Fm
CPUS=0	8 Fs

4.7 中断功能

4.7.1 功能概述

- 1) JS8E002 有以下 12 种硬件中断，
- 2) 外部中断（P60 口）
- 3) P5 口输入状态变化中断
- 4) TCC 计数器计数溢出中断
- 5) AD 转换完成中断
- 6) 比较器状态变化中断
- 7) PWM1 周期中断
- 8) PWM2 周期中断
- 9) PWM1 占空比中断
- 10) PWM2 占空比中断
- 11) PWM3 周期中断
- 12) PWM3 占空比中断
- 13) LVD 中断

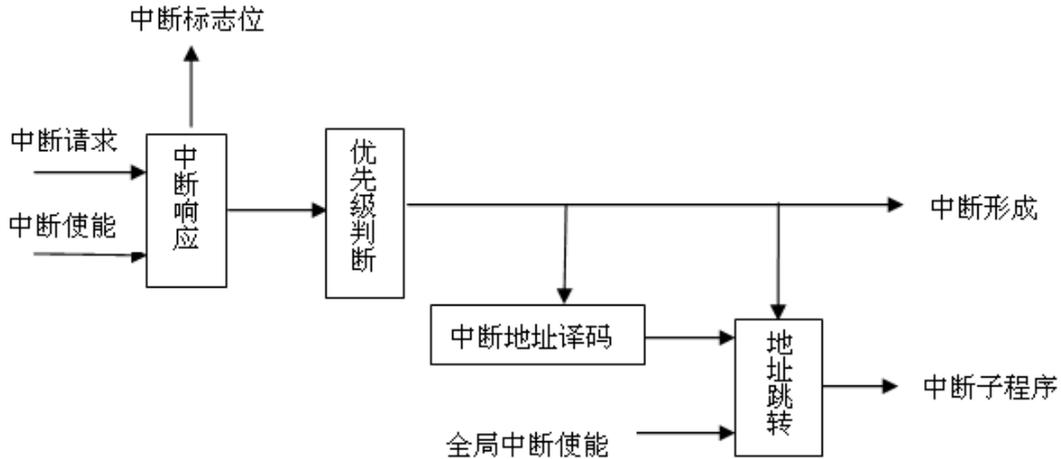


图4 中断原理图

中断功能应用说明

- 1) 执行中断前，务必打开对应中断类型的使能信号；
- 2) 如果需要执行中断跳转，则需要在中断前执行 EIT 命令，否则执行 DIT 命令，中断形成后仍继续原来的进程；
- 3) 执行外部中断时，要打开外部中断通道（EIS=1，此 bit 置 1 时务必确保 INT 脚有固定状态，INT 脚出现沿变化需在此 bit 为 1 之后），此时 P60 口的状态仍然可以通过指令读取，只有在 P60 口上有上升/下降沿（INTE=0/1）出现时，中断才会形成；
- 4) 配置 Option；
- 5) NRHL（0：8*fc/1：32*fc），外部中断引脚 P60 高/低电平变化后持续时间须达到配置值才能被认作外部信号而不是噪声或干扰。
- 6) NRE：滤波电路控制（0：disable/1：enable），always disable in LXT2/sleep_MD
- 7) 执行 TCC 溢出中断时，配置好 TCC 后，打开 TCC 溢出中断使能，TCC 溢出就会形成中断；
- 8) 当需要执行 P5 口输入状态变化形成的中断时，端口必须设置为输入状态，务必对端口进行一次读操作（MOVR P5），全局使能命令（EIT/DIT）要先于打开中断使能信号（ICIE）执行。当端口输入状态变化时，便可以形成中断；中断形成后，相应的中断标志位被设置为 1，可以通过访问中断状态寄存器，来判断中断的类型；
- 9) 执行 PWM 周期中断时，打开 PWMX 软件使能、PWMX 计数使能以及 PWMXIE 中断使能（PWMXIE=1），当 PWM 脉冲上升沿来临时，会形成 PWM 周期中断；
- 10) 执行 PWM 占空比中断时，打开 PWMX 软件使能、PWMX 计数使能以及 DTXIE 中断使能（PWMXIE=1），当 PWM 脉冲下降沿来临时，会形成 PWM 占空比中断；
- 11) 执行 LVD 中断时，打开 LVD 软件使能（LV DEN=1）和 LVD 中断使能（LVDIE=1），当 LVD 状态变化时，便形成 LVD 中断；
- 12) ADC 转换完成中断，配置好 ADC 后，打开 ADC 转换完成中断使能，开始 AD 转换，转换完成就会形成中断；
- 13) 执行比较器中断时，需设置 IOC80 寄存器（COS[1:0]=01 或 10）使能比较器，在打开比较器状态变化中断使能之前要先读一下比较器当前输出结果（在 IOC0 页面执行 MOVC CCR），然后打开比较器状态变化中断使能（CMPIE=1），当比较器状态发生变化时，便形成中断。

JS8002 中断源的中断向量如下表所示：

表4 中断源及其中断向量

中断向量	中断源	中断优先级
003H	外部中断（P60 口）	2
006H	P5 口输入状态变化中	3

	断	
009H	TCC 计数器计数溢出中断	4
00CH	AD 转换完成中断	5
00FH	比较器状态变化中断	6
012H	PWM1 周期中断	7
015H	PWM2 周期中断	8
018H	PWM1 占空比中断	9
01BH	PWM2 占空比中断	10
024H	PWM3 周期中断	11
027H	PWM3 占空比中断	12
021H	LVD 中断	1

4.8 复位功能

4.8.1 功能概述

系统提供 4 种复位方式

- 1) 上电复位
- 2) 低压复位
- 3) RESET 脚输入低电平
- 4) WDT 溢出

后两种复位方式的复位时间在唤醒部分已经给出，第一种复位时间由 OPTION 中的 SUT 选择决定，如下表所示：

唤醒，复位后寄存器状态一览表

名称	类型	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CONT	位名	INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
	复位	1	0	1	1	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOC50	位名	C57	C56	C55	C54	C53	C52	C51	C50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
IOC60	位名	C67	C66	C65	C64	C63	C62	C61	C60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
IOC70	位名	--	--	--	--	--	--	C71	C70
	复位	0	0	0	0	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
IOC80	位名	--	--	CMPOUT	COS1	COS0	--	--	--
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOC90	位名	TMR1[7]	TMR1[7]	TMR1[7]	TMR1[4]	TMR1[3]	TMR1[2]	TMR1[1]	TMR1[0]
	复位	0	0	0	0	0	0	0	1

	唤醒	P	P	P	P	P	P	P	P
IOCA0	位名	TMR2[7]	TMR2[6]	TMR2[5]	TMR2[4]	TMR2[3]	TMR2[2]	TMR2[1]	TMR2[0]
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
IOCB0 (P5PDCR)	位名	/PD57	/PD56	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
IOCC0 (P60DCR)	位名	OD67	OD66	OD65	OD64	OD63	OD62	OD61	OD60
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOCD0 (P5PHCR)	位名	/PH57	/PH56	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
IOCE0	位名	WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOCF0	位名	--	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOC51 (P5HSCR)	位名	HS57	HS56	--	HS54	HS53	HS52	HS51	--
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOC61 (P6HSCR)	位名	HS67	HS66	HS65	HS64	HS63	HS62	HS61	HS60
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOC71 (P5HDCR)	位名	HD57	HD56	--	HD54	HD53	HD52	HD51	--
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOC81 (P6HDCR)	位名	HD67	HD66	HD65	HD64	HD63	HD62	HD61	HD60
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOCB1 (P6PDCR)	位名	PD67	PD66	PD65	PD64	PD63	PD62	PD61	PD60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
IOCC1 (P50DCR)	位名	OD57	OD56	OD55	OD54	OD53	OD52	OD51	OD50
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
IOCD1 (P7PHCR)	位名	--	--	--	--	--	--	--	PH70
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
IOCE1 (P7PDCR)	位名	--	--	--	--	--	--	--	PD70
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P

IOCF1 (P6PHCR)	位名	/PH67	/PH66	/PH65	/PH64	/PH63	/PH62	/PH61	/PH60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
TCC	位名	TCC[7]	TCC[6]	TCC[5]	TCC[4]	TCC[3]	TCC[2]	TCC[1]	TCC[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PC	位名	PC[7]	PC[6]	PC[5]	PC[4]	PC[3]	PC[2]	PC[1]	PC[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
	唤醒 跳转	X	X	X	X	X	X	X	X
STATUS	位名	RST	IOCS	ROMBKS EL	T	P	Z	DC	C
	复位	0	0	0	t	t	U	U	U
	唤醒	1	P	P	t	t	P	P	P
RSR	位名	SBANK	BS0	--	--	--	--	--	--
	复位	0	0	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
P5	位名	P57	P56	P55	P54	P53	P52	P51	P50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P6	位名	P67	P66	P65	P64	P63	P62	P61	P60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P7	位名	--	--	--	--	--	--	P71	P70
	复位	0	0	0	0	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
AISR	位名	ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADCON	位名	VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADOC	位名	CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADDTA	位名	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4
	复位	U	U	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
ADDTA1L	位名	--	--	--	--	AD11	AD10	AD9	AD8
	复位	0	0	0	0	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
ADDTA1H	位名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
	复位	U	U	U	U	U	U	U	U

	唤醒	P	P	P	P	P	P	P	P
ISR1	位名	/LVD	LVDIF	ADIF	CMPIF	ADWE	CMPWE	ICWE	LVDWE
	复位	1	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ISR2	位名	--	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TBHP	位名	MLB	OPT_RD EN (TBRD)	--	--	RBit11	RBit10	RBit9	RBit8
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TBLP	位名	RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PWMCON	位名	PWMC0	PWM3CO	PWM2CO	PWM1CO	PWM3E	PWMCAS	PWM2E	PWM1E
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TMRCON	位名	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD1	位名	PWM1[7]	PWM1[6]	PWM1[5]	PWM1[4]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD2	位名	PWM2[7]	PWM2[6]	PWM2[5]	PWM2[4]	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT1	位名	DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT2	位名	DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
SFS	位名	CIN_SEL _VREF	CIN_SE L_P65	IRC_CA L [5]	IRC_CAL [4]	IRC_CA L [3]	IRC_CAL [2]	IRC_CAL [1]	IRC_CAL [0]
	复位	1	1	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
LVDCIWR	位名	LVDIE	LVDEN	LVD1	LVD0	--	--	--	EXWE
	复位	0	0	1	1	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P

SCR	位名	--	TIMERS C	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0
	复位	0	1	1	0	1	1	WORD1[6]	WORD1[5]
	唤醒	P	P	P	P	P	P	P	P
PDTCON	位名	DL_NU[3]	DL_NU[2]	DL_NU[1]	DL_NU[0]	DL_EN	--	DL_CS[1]	DL_CS[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TMR3L	位名	TMR3L[7]	TMR3L[6]	TMR3L[5]	TMR3L[4]	TMR3L[3]	TMR3L[2]	TMR3L[1]	TMR3L[0]
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
TMR3H	位名	TMR3H[7]	TMR3H[6]	TMR3H[5]	TMR3H[4]	TMR3H[3]	TMR3H[2]	TMR3H[1]	TMR3H[0]
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
TMR3CON	位名	--	--	--	PWM3CAS	T3EN	T3P2	T2P1	T3P0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD3L	位名	PRD3L[7]	PRD3L[6]	PRD3L[5]	PRD3L[4]	PRD3L[3]	PRD3L[2]	PRD3L[1]	PRD3L[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD3H	位名	PRD3H[7]	PRD3H[6]	PRD3H[5]	PRD3H[4]	PRD3H[3]	PRD3H[2]	PRD3H[1]	PRD3H[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT3L	位名	DT3L[7]	DT3L[6]	DT3L[5]	DT3L[4]	DT3L[3]	DT3L[2]	DT3L[1]	DT3L[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT3H	位名	DT3H[7]	DT3H[6]	DT3H[5]	DT3H[4]	DT3H[3]	DT3H[2]	DT3H[1]	DT3H[0]
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PWMSCON	位名	INV1H	INV1L	INV2H	INV2L	INV3H	INV3L	--	PWMBRK
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PIE3CON	位名	--	--	--	--	--	--	PWM3IE	DT3IE
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PIF3	位名	--	--	--	--	--	--	DT3IF	PWM3IF
	复位	0	0	0	0	0	0	0	0

	唤醒	P	P	P	P	P	P	P	P
R10~ R3F	位名	--	--	--	--	--	--	--	--
	复位	U	U	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P

说明：

- 1、P 代表先前原有的状态，U 代表未知状态，
- 2、t 值参见 RCFG 寄存器说明。
- 3、PCL 在中断跳转时为中断地址；在唤醒时为栈顶地址。

4.9 时钟模块

JS8P002 提供内部 RC 模式，频率默认值为 4MHz。

内部 RC 振荡模式频率值可以通过设置 OPTION 的 FIRC 位选择 IRC 工作频率，下面是它们的对应关系：

FIRC	IRC 频率
4 M	IRC 频率选为 4MHz
16 M	IRC 频率选为 16MHz
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz

JS8P002 内置 RC 振荡器，也可以通过程序配置 BANK1 的 RF 寄存器来设置

RCM1	RCM0	频率 (MHz)
0	0	1
0	1	8
1	0	16
1	1	4

IRC 的设定首先是按烧录器配置来选择频率，如果程序里配置了 BANK1 的寄存器会按寄存器设置工作。

建议可以选用 OPTION 来设置时钟频率，无须在程序内设置 BANK1 RF 寄存器的 RCM1 和 RCM0 位，如果客户的 OPTION 和 BANK1 的 RF 寄存器的 RCM0 和 RCM1 位设置的频率不一致时，振荡器频率将会受到影响。如果客户在 OPTION 设置的时钟频率和 BANK1 的 RF 寄存器中设置的频率不一致或者需要在程序运行过程中修改时钟频率的情况时，需要在设置完 RF 的寄存器后经过一段稳定时间，稳定时间之后频率才会按照设定的频率运行。

4.10 代码选项寄存器

Write Option	选项	功能描述
VDD	HIGH	IRC 频率在 VDD=5V 下校准
	LOW	IRC 频率在 VDD=3V 下校准
Code Option	选项	功能描述
WKCK	8 Fosc	系统时钟预热时间选择 8Fosc

	32 Fosc	系统时钟预热时间选择 32Fosc (默认)
P71DEF	as reset	P71 作为外部 RESET
	as gpio	P71 作为 GPIO (默认)
FS_SEL	128KHz	副时钟选择 128KHz
	16KHz	副时钟选择 16KHz
WDTEN	Enable	WDT 使能
	Disable	WDT 禁止 (默认)
SUT	4.5ms	系统建立时间选择 4.5ms
	18ms	系统建立时间选择 18ms
PROTECT	Enable	加密位使能
	Disable	加密位禁止
cin_sel	Enable	SFS<7:6>=10, cin_plus 选择 VREF; SFS<7:6>=01, cin_plus 选择 P65
	Disable	CIN 选择 P65
PACKAGE	20PIN	20PIN 封装
CLKS	2Fosc	指令周期选择 2Fosc
	4Fosc	指令周期选择 4Fosc
	8Fosc	指令周期选择 8Fosc
	16Fosc	指令周期选择 16Fosc
LVR	1.8V	低压复位点选择 1.8V
	1.6V	低压复位点选择 1.6V
	2.7V	低压复位点选择 2.7V
	3.5V	低压复位点选择 3.5V
	4V	低压复位点选择 4V
NR	Disable	外部中断滤波选项禁止
	8Fosc	滤波时间 8Fosc
	32Fosc	滤波时间 32Fosc
HLP	Disable	高功耗模式
OSC	IRC	IRC 模式
P70DEF	as gpio	P70 作为 GPIO
	sysclk	P70 作为指令周期输出口
	sysclk_od	P70 设为时钟开漏输出
FIRC	1M	IRC 频率选择 1M
	4M	IRC 频率选择 4M
	8M	IRC 频率选择 8M
	16M	IRC 频率选择 16M

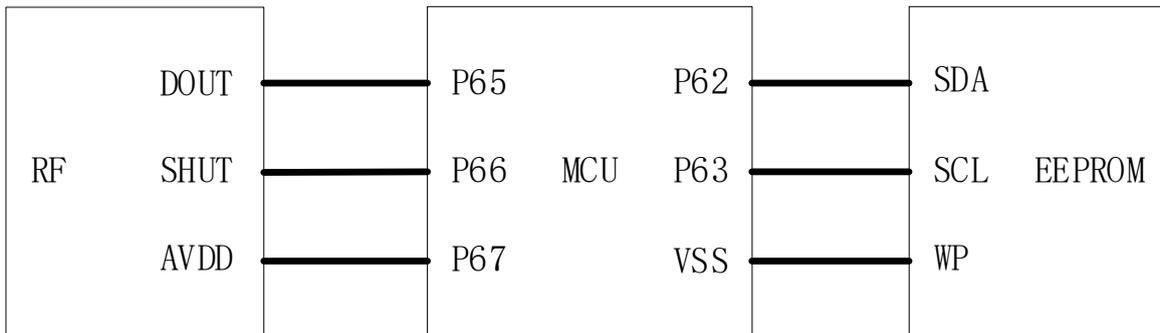
5 内置 SoC 信息

5.1 概述

JS8E390 内集成有 256X8-bit 的非易失性的 EEPROM 存储区，此数据存储区的典型擦写次数可到 100 万次。EEPROM 与 MCU 之间通过 I2C 协议进行数据的读写，EEPROM 的引脚 SDA、SDL 分别 MCU 的内置引脚 P62, P63 相连接，在 JS8E390 内部 EEPROM 的地址被设置为地址 0，此地址不能更改。

不支持连续读和连续写，因此每次读写都需要更新相应的地址。

5.2 EEPROM、MCU、RF 内部连接示意图



5.3 使用注意

RF 的电源 AVDD 是由 MCU 的 P67 提供，所以 P67 必须配置成强驱输出；

SHUT 是 RF 使能管脚，由 P66 控制，SHUT 拉高的时候 RF 属于休眠状态，SHUT 拉低的时候 RF 处于工作状态；

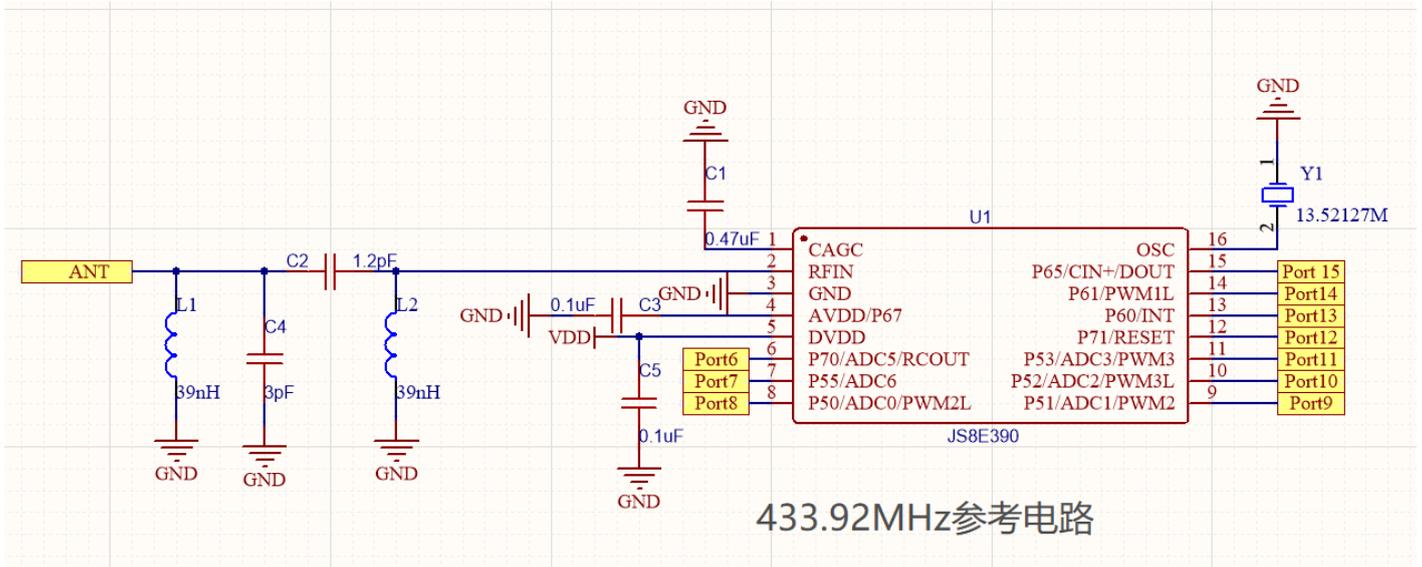
DOUT 是 RF 解调后的信号输出脚，可以从 P65 直接输入到 MCU，也可以根据用户需要选择其他 I/O 口作为输入；

EEPROM 每次写操作之间需要间隔 5mS 以上，以便于 EEPROM 内部的写操作完成。

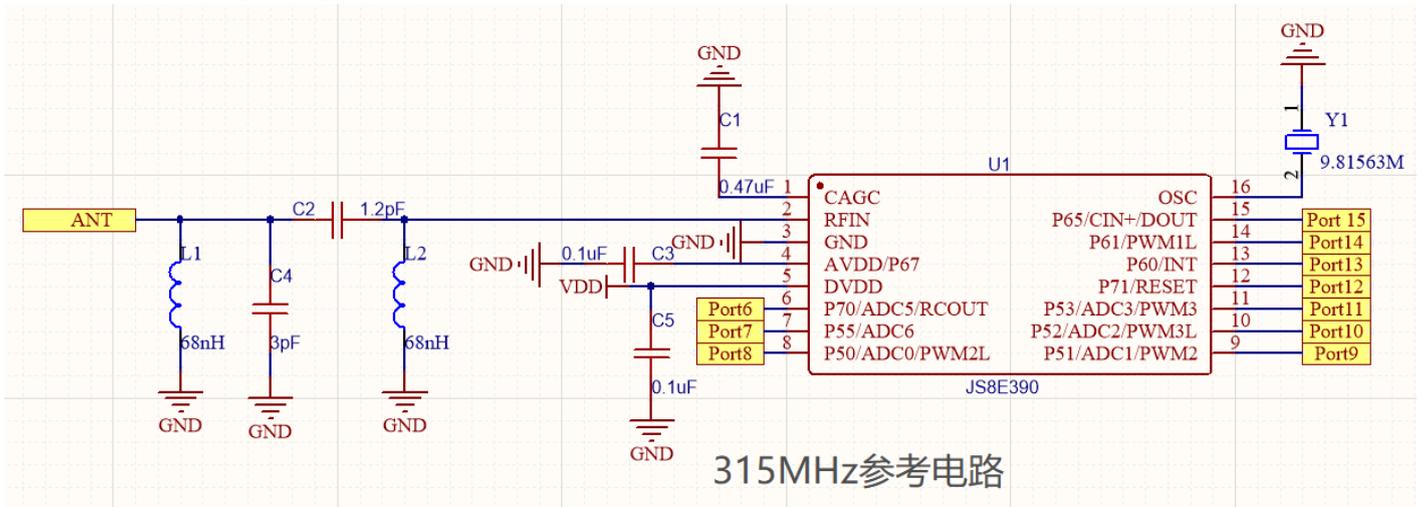
内置的 EEPROM 内部有 8 个字节的缓存空间，可以一次性从写 8 个数据到缓存，因此可以写 8 个字节之后写一次 STOP 指令，减少写操作时间。

6 参考电路

433MHz 工作频率参考电路如下：



315MHz 工作频率参考电路如下：



注意： JS8E390 在 300 - 480 MHz 免费频段内的任何频点，实际工作频点与晶振频率的计算公式如下：

$$F_{XTAL} = \frac{13.52127}{433.92} F_{RF}$$

根据上述公式可以算出，当用户希望 JS3090 工作在 315 MHz 时，所需晶体频率为 9.81563 MHz。由于不同封装规格的晶体存在着寄生电容差异，请用户选用晶体时注意评估，避免由于晶体震荡频率偏离目标值过大而引起接收性能降低。

参数	符号	最小	典型	最大	单位
晶体频率	F _{X-315M}		9.81563		MHz
	F _{X-433.92M}		13.52127		MHz
精度			±20		ppm
负载电容	C _{LOAD}		15		pF

7 极限参数

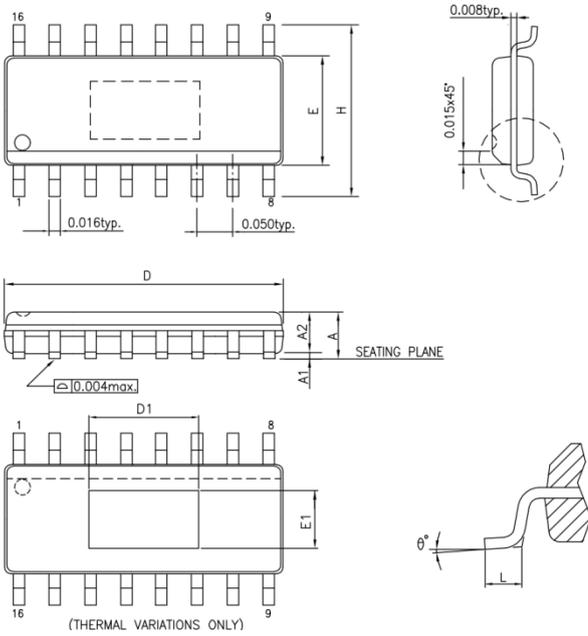
工作温度	-40~85 °C
存储温度	-65~+150 °C
极限电压(V)	-0.3~6 V
极限输入电压 (V)	GND-0.3~VDD+1 V
极限输出电压 (V)	GND-0.3~VDD+1 V

8 DC 电气特性

符号	参数说明	条件	最小	典型	最大	单位
IRC1	内置阻容振荡 1 (校正后)	Fire0:Fire1=1:1	3.8	4	4.2	MHz
IRC2	内置阻容振荡 2 (校正后)	Fire0:Fire1=1:0	15.2	16	16.8	MHz
IRC3	内置阻容振荡 3 (校正后)	Fire0:Fire1=0:1	7.6	8	8.4	MHz
IRC4	内置阻容振荡 4 (校正后)	Fire0:Fire1=0:0	0.76	1	1.14	MHz
VIH1	输入高电平	P5, P6, P70	0.7*VDD		VDD+0.3	V
VIL1	输入低电平	P5, P6, P70	-0.3		0.3*VDD	V
IOH1	输出高电平驱动 (除 P71)	IOH=0.9*VDD	-2.5	-3.9	-5	mA
IOH2	输出高电平驱动增强 (除 P71)	IOH=0.9*VDD	-4	-10	-15	mA
IOL1	IO 输出低电平驱动 (除 P71)	IOL=0.1*VDD	9	10	11.8	mA
IOL2	IO 输出低电平驱动强 (除 P71)	IOL=0.1*VDD	11.8	20	27.1	mA
IPH1	上拉电流 (P5, P6)	上拉使能, 输入接地	-50	-70	-120	μA
IPH2	强上拉电流 (P62, P63)	上拉使能, 输入接地		-200		μA
IPL	下拉电流 (P5)	下拉使能, 输入接 VDD	20	40	70	μA
Isb1	关机电流 1	所有输入接 VDD, 输出悬空, WDT, LVD 禁用			0.6	μA
Isb2	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用			10	μA
Isb3	关机电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用			10	μA
LVR1	低电压复位电压 1	选择 1.8V 复位点	1.65	1.8	1.95	V
LVR2	低电压复位电压 2	选择 1.6V 复位点	1.45	1.6	1.75	V
LVR3	低电压复位电压 3	选择 V1vr 复位点	V1vr-0.2	V1vr	V1vr+0.2	V
LVD	低压检测电压	选择检测点为 V1vd	V1vd-0.2	V1vd	V1vd+0.2	V

9 封装信息

SOP16



SYMBOLS	STANDARD		THERMAL	
	MIN.	MAX.	MIN.	MAX.
A	0.053	0.069	0.053	0.067
A1	0.004	0.010	0.002	0.006
A2	0.049	0.065	0.049	0.065
D	0.386	0.394	0.386	0.394
E	0.150	0.157	0.150	0.157
H	0.228	0.244	0.228	0.244
L	0.016	0.050	0.016	0.050
θ°	0	8	0	8

UNIT : INCH